

2/P.P.
Leirs
2/21/01

Jc914 U.S. PTO.
09/726386
12/01/00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Naoto HORIGUCHI, et al.**

Serial No.: **Not Yet Assigned**

Filed: **December 1, 2000**

For: **SEMICONDUCTOR MEMORY WITH FLOATING GATE TYPE FET**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D.C. 20231

December 1, 2000

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 11-345437, filed December 3, 1999

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 001497
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/ll

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC914 U.S. PTO
09/726386
12/01/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 2 月 3 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 4 5 4 3 7 号

出 願 人

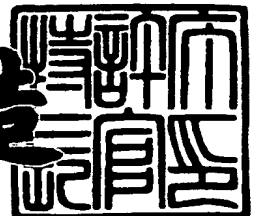
Applicant (s):

富士通株式会社

2 0 0 0 年 9 月 1 8 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 7 4 9 6 3

【書類名】 特許願

【整理番号】 9940517

【提出日】 平成11年12月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体記憶装置及びその製造方法

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 堀口 直人

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 臼杵 達也

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 後藤 賢一

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

 【電話番号】 03-3832-8095

【手数料の表示】

 【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の表面の一部の領域上に形成され、キャリアがトンネル現象により透過することができる厚さを有するトンネル絶縁膜と、

前記トンネル絶縁膜の上に形成されたフローティングゲート電極と、

前記フローティングゲート電極の側面、及び該フローティングゲート電極の両側の半導体基板表面を覆い、キャリアがトンネル現象により透過できない厚さを有するゲート絶縁膜と、

前記フローティングゲート電極の側面上、及び該フローティングゲート電極の両側の半導体基板の表面上に、前記ゲート絶縁膜を介して配置された第 1 のコントロールゲート電極と、

前記フローティングゲート電極及び第 1 のコントロールゲート電極を含むゲート構造体の両側の、前記半導体基板の表面層に形成された一对の不純物添加領域と
を有する半導体記憶装置。

【請求項 2】 前記一对の不純物添加領域に挟まれたチャネル領域と、前記第 1 のコントロールゲート電極との間に外部から電圧を印加しない状態のときに、前記フローティングゲート電極のフェルミ準位が前記チャネル領域の禁制帯の中に位置するように、前記フローティングゲート電極とチャネル領域の材料が選択されている請求項 1 に記載の半導体記憶装置。

【請求項 3】 さらに、前記フローティングゲート電極の上面上に形成され、キャリアがトンネル現象により透過できない厚さを有する誘電体膜と、

前記誘電体膜の上に形成され、前記フローティングゲート電極と共にキャパシタを構成し、前記第 1 のコントロールゲート電極に電氣的に接続された第 2 のコントロールゲート電極と
を有し、

前記第 1 のコントロールゲート電極が、前記ゲート絶縁膜を介して前記第 2 の

コントロールゲート電極の側面上にも配置されている請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 さらに、前記半導体基板の表面上に、一对の不純物添加領域及びその間のチャンネル領域を取り囲むように形成された素子分離絶縁膜を有し、

前記フローティングゲート電極及び第 1 のコントロールゲート電極が、前記素子分離絶縁膜上まで延在し、前記ゲート絶縁膜が、前記素子分離絶縁膜上のフローティングゲート電極の上面及び側面を覆い、前記第 1 のコントロールゲート電極が、前記ゲート絶縁膜を介して、前記素子分離絶縁膜上のフローティングゲート電極の側面及び上面に対向する請求項 1 または 2 に記載の半導体記憶装置。

【請求項 5】 前記フローティングゲート電極の側面が、前記半導体基板の表面から高くなるに従って該フローティングゲート電極の幅が広がるように湾曲している請求項 1 ～ 4 のいずれかに記載の半導体記憶装置。

【請求項 6】 半導体基板の表面上に、キャリアがトンネル現象により透過できる厚さのトンネル絶縁膜を形成する工程と、

前記トンネル絶縁膜の上に、導電材料もしくは半導体材料からなる第 1 の導電膜を形成する工程と、

前記第 1 の導電膜の上に、キャリアがトンネル現象により透過できない厚さの誘電体膜を形成する工程と、

前記誘電体膜の上に、導電材料もしくは半導体材料からなる第 2 の導電膜を形成する工程と、

前記第 2 の導電膜の上表面から、少なくとも前記第 1 の導電膜の下表面までの積層構造をパターンニングし、前記第 1 の導電膜、前記誘電体膜、及び前記第 2 の導電膜を含む積層メサを残す工程と、

前記積層メサの側面及び上面、該積層メサの両側の半導体基板表面を覆うように、キャリアがトンネル現象により透過できない厚さのゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の全面を導電材料もしくは半導体材料からなる第 3 の導電膜で覆う工程と、

前記第 3 の導電膜を異方性エッチングし、前記積層メサの側面上に、前記第 3

の導電膜からなる側方コントロールゲート電極を残す工程と、

前記積層メサ及び側方コントロールゲート電極を含むゲート構造体の両側の、前記半導体基板の表面層に不純物を添加し、不純物添加領域を形成する工程と、

前記側方コントロールゲートと、前記積層メサを構成する第 1 の導電膜とを、電氣的に接続する工程と

を有する半導体記憶装置の製造方法。

【請求項 7】 半導体基板の表面上に素子分離絶縁膜を形成し、該素子分離絶縁膜で囲まれた活性領域を画定する工程と、

前記活性領域上に、キャリアがトンネル現象により透過できる厚さのトンネル絶縁膜を形成する工程と、

前記活性領域を横切るように、前記トンネル絶縁膜上に、導電材料もしくは半導体材料からなる第 1 の導電部材を形成する工程と、

前記第 1 の導電部材の側面及び上面上、及び該第 1 の導電部材の両側の、前記活性領域の表面上に、キャリアがトンネル現象によって透過できない厚さのゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の表面を、導電材料もしくは半導体材料からなる導電膜で覆う工程と、

前記導電膜を異方性エッチングし、前記第 1 の導電部材の側面上に、前記導電膜からなる側方コントロールゲート電極を残す工程と、

前記第 1 の導電部材及び前記側方コントロールゲート電極を含むゲート構造体の両側の、前記活性領域の表面層に、不純物を添加する工程と
を有する半導体記憶装置の製造方法。

【請求項 8】 前記第 1 の導電部材を形成する工程において、該第 1 の導電部材が前記素子分離絶縁膜上まで延在するように該第 1 の導電部材を形成し、

前記側方コントロールゲート電極を残す工程において、前記素子分離絶縁膜上においては、前記第 1 の導電部材の側面上及び上面上に前記導電膜を残す
請求項 7 に記載の半導体記憶装置の製造方法。

【請求項 9】 半導体基板の表面上に素子分離絶縁膜を形成し、該素子分離絶縁膜で囲まれた活性領域を画定する工程と、

前記半導体基板の表面を覆う第 1 の膜を形成する工程と、

前記第 1 の膜に、前記活性領域を横切る開口を形成する工程と、

前記開口の底面に露出した活性領域の表面上に、キャリアがトンネル現象によって透過できない厚さのゲート絶縁膜を形成する工程と、

前記開口の底面及び側面上、及び前記第 1 の膜の上面上に、導電材料もしくは半導体材料からなる第 2 の膜を形成する工程と、

前記第 2 の膜を異方性エッチングし、前記開口の側面上に、前記第 2 の膜からなる側方コントロールゲート電極を残すとともに、該開口の底面の中央部に前記活性領域の表面を露出させる工程と、

露出した活性領域の表面上に、キャリアがトンネル現象によって透過できる厚さのトンネル絶縁膜を形成するとともに、前記側方コントロールゲート電極の側面上に、キャリアがトンネル現象によって透過できない厚さの誘電体膜を形成する工程と、

前記開口内を埋め込み、かつ前記第 1 の膜の上面上を覆い、導電材料もしくは半導体材料からなる第 3 の膜を形成する工程と、

前記第 3 の膜をエッチバックして、前記第 1 の膜上の該第 3 の膜を除去するとともに、前記開口内に該第 3 の膜からなるフローティングゲート電極を残す工程と、

前記第 1 の膜を除去する工程と、

前記側方コントロールゲート電極及びフローティングゲート電極を含むゲート構造体の両側の、前記活性領域の表面層に不純物を添加する工程とを有する半導体記憶装置の製造方法。

【請求項 10】 半導体基板の表面上に素子分離絶縁膜を形成し、該素子分離絶縁膜で囲まれた活性領域を画定する工程と、

前記活性領域を横切るように、前記活性領域上にダミーゲート電極を形成する工程と、

前記ダミーゲート電極の両側の、前記活性領域の表面層に不純物を添加する工程と、

前記ダミーゲート電極を覆うように、前記半導体基板上に第 1 の膜を形成する

工程と、

前記ダミーゲート電極上方の前記第 1 の膜を除去し、該ダミーゲート電極の上面を露出させる工程と、

前記ダミーゲート電極を除去し、前記活性領域の表面を露出させる工程と、

露出した活性領域の表面上に、キャリアがトンネル現象によって透過できない厚さのゲート絶縁膜を形成する工程と、

前記第 1 の膜の表面上、及び前記ゲート絶縁膜上に、導電材料もしくは半導体材料からなる第 2 の膜を形成する工程と、

前記第 2 の膜を異方性エッチングし、前記第 1 の膜の側面上に、前記第 2 の膜からなる側方コントロールゲート電極を残すとともに、該側方コントロールゲート電極に挟まれた領域に、前記活性領域の表面を露出させる工程と、

露出した活性領域の表面上に、キャリアがトンネル現象によって透過できる厚さのトンネル絶縁膜を形成するとともに、前記側方コントロールゲート電極の側面上に、キャリアがトンネル現象によって透過できない厚さの誘電体膜を形成する工程と、

前記側方コントロールゲート電極で挟まれた空間を埋め込み、かつ前記第 1 の膜の上面を覆い、導電材料もしくは半導体材料からなる第 3 の膜を形成する工程と、

前記第 3 の膜をエッチバックして、前記第 1 の膜上の該第 3 の膜を除去するとともに、前記側方コントロールゲート電極で挟まれた空間内に該第 3 の膜からなるフローティングゲート電極を残す工程と

を有する半導体記憶装置の製造方法。

【請求項 1 1】 半導体基板の表面上に素子分離絶縁膜を形成し、該素子分離絶縁膜で囲まれた活性領域を画定する工程と、

半導体基板の活性領域に、キャリアがトンネル現象により透過できる厚さのトンネル絶縁膜を形成する工程と、

前記活性領域を横切るように、前記トンネル絶縁膜上に、導電材料もしくは半導体材料からなる第 1 の導電部材を形成する工程と、

前記第 1 の導電部材の側面上に、サイドウォール部材を形成する工程と、

前記第 1 の導電部材とサイドウォール部材を含むメサの両側の、前記活性領域の表面層に、不純物を添加する工程と、

前記サイドウォール部材を除去する工程と、

前記第 1 の導電部材の側面、上面、及び該第 1 の導電部材の両側の、前記活性領域の表面上に、キャリアがトンネル現象によって透過できない厚さのゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の表面を、導電材料もしくは半導体材料からなる導電膜で覆う工程と、

前記導電膜を異方性エッチングし、前記第 1 の導電部材の側面上に、前記導電膜からなる側方コントロールゲート電極を残す工程と
を有する半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、新たな動作原理に基づく半導体記憶装置に関する。代表的な半導体記憶装置として、ダイナミックランダムアクセスメモリ（DRAM）が知られている。DRAMは、1つのMISFETと1つのキャパシタからなる1メモリセルに1ビットの情報を記憶する。DRAMにおいては、メモリセルの微細化及び大容量化が進んでいるが、より大容量化を図ることが可能な半導体記憶装置が望まれている。

【0002】

【従来の技術】

さらなる大容量化を図ることが可能な半導体記憶装置として、フラッシュメモリが注目されている。フラッシュメモリは、1つのMISFETのみで1つのメモリセルを構成するため、大容量化に適している。

【0003】

フラッシュメモリでは、フローティングゲート型FETのフローティングゲート電極へキャリアを注入することにより情報を記憶する。フローティングゲート電極に注入されたキャリアを保持するために、フローティングゲート電極とチャ

ネル領域との間の絶縁膜の厚さは 8 nm 程度以上とされる。この絶縁膜を通したフローティングゲート電極へのキャリアの注入は、チャネルとフローティングゲート電極間に高電圧を印加することにより行う。両者間に高電圧を印加すると、ファウラノルドハイムトンネル（FN トンネル）現象により、キャリアがフローティングゲート電極に注入される。

【0 0 0 4】

【発明が解決しようとする課題】

FN トンネル現象を利用してキャリアをフローティングゲート電極に注入するためには、1 0 ～ 2 0 V 程度の電圧が必要とされる。このため、低電圧化、低消費電力化を図ることが困難である。

【0 0 0 5】

本発明の目的は、大容量化、低電圧化を図ることが可能な半導体記憶装置を提供することである。

【0 0 0 6】

【課題を解決するための手段】

本発明の一観点によると、半導体基板と、前記半導体基板の表面の一部の領域上に形成され、キャリアがトンネル現象により透過することができる厚さを有するトンネル絶縁膜と、前記トンネル絶縁膜の上に形成されたフローティングゲート電極と、前記フローティングゲート電極の側面、及び該フローティングゲート電極の両側の半導体基板表面を覆い、キャリアがトンネル現象により透過できない厚さを有するゲート絶縁膜と、前記フローティングゲート電極の側面上、及び該フローティングゲート電極の両側の半導体基板の表面上に、前記ゲート絶縁膜を介して配置された第 1 のコントロールゲート電極と、前記フローティングゲート電極及び第 1 のコントロールゲート電極を含むゲート構造体の両側の、前記半導体基板の表面層に形成された一对の不純物添加領域とを有する半導体記憶装置が提供される。

【0 0 0 7】

コントロールゲート電極と不純物添加領域との間に電圧を印加すると、チャネル領域内のキャリアがトンネル絶縁膜をトンネルしてフローティングゲート電極

に注入される。注入されたキャリアによるしきい値の変動により、情報を読み出すことができる。フローティングゲート電極に注入されたキャリアは、ゲート絶縁膜をトンネルしない。

【0008】

本発明の他の観点によると、半導体基板の表面上に、キャリアがトンネル現象により透過できる厚さのトンネル絶縁膜を形成する工程と、前記トンネル絶縁膜の上に、導電材料もしくは半導体材料からなる第1の導電膜を形成する工程と、前記第1の導電膜の上に、キャリアがトンネル現象により透過できない厚さの誘電体膜を形成する工程と、前記誘電体膜の上に、導電材料もしくは半導体材料からなる第2の導電膜を形成する工程と、前記第2の導電膜の上表面から、少なくとも前記第1の導電膜の下表面までの積層構造をパターンニングし、前記第1の導電膜、前記誘電体膜、及び前記第2の導電膜を含む積層メサを残す工程と、前記積層メサの側面及び上面、該積層メサの両側の半導体基板表面を覆うように、キャリアがトンネル現象により透過できない厚さのゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の全面を導電材料もしくは半導体材料からなる第3の導電膜で覆う工程と、前記第3の導電膜を異方性エッチングし、前記積層メサの側面上に、前記第3の導電膜からなる側方コントロールゲート電極を残す工程と、前記積層メサ及び側方コントロールゲート電極を含むゲート構造体の両側の、前記半導体基板の表面層に不純物を添加し、不純物添加領域を形成する工程と、前記側方コントロールゲートと、前記積層メサを構成する第1の導電膜とを、電氣的に接続する工程とを有する半導体記憶装置の製造方法が提供される。

【0009】

積層メサを構成する第1の導電膜がフローティングゲート電極として作用する。側方コントロールゲート電極が、フローティングゲート電極に対して自己整合的に形成される。

【0010】

本発明のさらに他の観点によると、半導体基板の表面上に素子分離絶縁膜を形成し、該素子分離絶縁膜で囲まれた活性領域を画定する工程と、前記活性領域上に、キャリアがトンネル現象により透過できる厚さのトンネル絶縁膜を形成する

工程と、前記活性領域を横切るように、前記トンネル絶縁膜上に、導電材料もしくは半導体材料からなる第 1 の導電部材を形成する工程と、前記第 1 の導電部材の側面及び上面上、及び該第 1 の導電部材の両側の、前記活性領域の表面上に、キャリアがトンネル現象によって透過できない厚さのゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の表面を、導電材料もしくは半導体材料からなる導電膜で覆う工程と、前記導電膜を異方性エッチングし、前記第 1 の導電部材の側面上に、前記導電膜からなる側方コントロールゲート電極を残す工程と、前記第 1 の導電部材及び前記側方コントロールゲート電極を含むゲート構造体の両側の、前記活性領域の表面層に、不純物を添加する工程とを有する半導体記憶装置の製造方法が提供される。

【 0 0 1 1 】

第 1 の導電部材がフローティングゲート電極として作用する。側方コントロールゲート電極が、フローティングゲート電極に対して自己整合的に形成される。

【 0 0 1 2 】

本発明のさらに他の観点によると、半導体基板の表面上に素子分離絶縁膜を形成し、該素子分離絶縁膜で囲まれた活性領域を画定する工程と、前記半導体基板の表面を覆う第 1 の膜を形成する工程と、前記第 1 の膜に、前記活性領域を横切る開口を形成する工程と、前記開口の底面に露出した活性領域の表面上に、キャリアがトンネル現象によって透過できない厚さのゲート絶縁膜を形成する工程と、前記開口の底面及び側面上、及び前記第 1 の膜の上面上に、導電材料もしくは半導体材料からなる第 2 の膜を形成する工程と、前記第 2 の膜を異方性エッチングし、前記開口の側面上に、前記第 2 の膜からなる側方コントロールゲート電極を残すとともに、該開口の底面の中央部に前記活性領域の表面を露出させる工程と、露出した活性領域の表面上に、キャリアがトンネル現象によって透過できる厚さのトンネル絶縁膜を形成するとともに、前記側方コントロールゲート電極の側面上に、キャリアがトンネル現象によって透過できない厚さの誘電体膜を形成する工程と、前記開口内を埋め込み、かつ前記第 1 の膜の上面上を覆い、導電材料もしくは半導体材料からなる第 3 の膜を形成する工程と、前記第 3 の膜をエッチバックして、前記第 1 の膜上の該第 3 の膜を除去するとともに、前記開口内に

該第 3 の膜からなるフローティングゲート電極を残す工程と、前記第 1 の膜を除去する工程と、前記側方コントロールゲート電極及びフローティングゲート電極を含むゲート構造体の両側の、前記活性領域の表面層に不純物を添加する工程とを有する半導体記憶装置の製造方法が提供される。

【0013】

側方コントロールゲート電極に対して、フローティングゲート電極が自己整合的に形成される。

【0014】

本発明のさらに他の観点によると、半導体基板の表面上に素子分離絶縁膜を形成し、該素子分離絶縁膜で囲まれた活性領域を画定する工程と、前記活性領域を横切るように、前記活性領域上にダミーゲート電極を形成する工程と、前記ダミーゲート電極の両側の、前記活性領域の表面層に不純物を添加する工程と、前記ダミーゲート電極を覆うように、前記半導体基板上に第 1 の膜を形成する工程と、前記ダミーゲート電極上方の前記第 1 の膜を除去し、該ダミーゲート電極の上面を露出させる工程と、前記ダミーゲート電極を除去し、前記活性領域の表面を露出させる工程と、露出した活性領域の表面上に、キャリアがトンネル現象によって透過できない厚さのゲート絶縁膜を形成する工程と、前記第 1 の膜の表面上、及び前記ゲート絶縁膜上に、導電材料もしくは半導体材料からなる第 2 の膜を形成する工程と、前記第 2 の膜を異方性エッチングし、前記第 1 の膜の側面上に、前記第 2 の膜からなる側方コントロールゲート電極を残すとともに、該側方コントロールゲート電極に挟まれた領域に、前記活性領域の表面を露出させる工程と、露出した活性領域の表面上に、キャリアがトンネル現象によって透過できる厚さのトンネル絶縁膜を形成するとともに、前記側方コントロールゲート電極の側面上に、キャリアがトンネル現象によって透過できない厚さの誘電体膜を形成する工程と、前記側方コントロールゲート電極で挟まれた空間を埋め込み、かつ前記第 1 の膜の上面を覆い、導電材料もしくは半導体材料からなる第 3 の膜を形成する工程と、前記第 3 の膜をエッチバックして、前記第 1 の膜上の該第 3 の膜を除去するとともに、前記側方コントロールゲート電極で挟まれた空間内に該第 3 の膜からなるフローティングゲート電極を残す工程とを有する半導体記憶装

置の製造方法が提供される。

【0015】

側方コントロールゲート電極に対して、フローティングゲート電極が自己整合的に形成される。ゲート電極形成の前に不純物が添加されるため、ゲート電極及び誘電体膜が、不純物活性化のための高温熱処理を経験しない。

【0016】

本発明のさらに他の観点によると、半導体基板の表面上に素子分離絶縁膜を形成し、該素子分離絶縁膜で囲まれた活性領域を画定する工程と、半導体基板の活性領域に、キャリアがトンネル現象により透過できる厚さのトンネル絶縁膜を形成する工程と、前記活性領域を横切るように、前記トンネル絶縁膜上に、導電材料もしくは半導体材料からなる第1の導電部材を形成する工程と、前記第1の導電部材の側面上に、サイドウォール部材を形成する工程と、前記第1の導電部材とサイドウォール部材を含むメサの両側の、前記活性領域の表面層に、不純物を添加する工程と、前記サイドウォール部材を除去する工程と、前記第1の導電部材の側面、上面、及び該第1の導電部材の両側の、前記活性領域の表面上に、キャリアがトンネル現象によって透過できない厚さのゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の表面を、導電材料もしくは半導体材料からなる導電膜で覆う工程と、前記導電膜を異方性エッチングし、前記第1の導電部材の側面上に、前記導電膜からなる側方コントロールゲート電極を残す工程とを有する半導体記憶装置の製造方法が提供される。

【0017】

第1の導電部材がフローティングゲート電極として作用する。側方コントロールゲート電極が、フローティングゲート電極に対して自己整合的に形成される。側方コントロールゲート電極及びゲート絶縁膜の形成の前に不純物が添加されるため、側方コントロールゲート電極及びゲート絶縁膜が、不純物活性化のための高温熱処理を経験しない。

【0018】

【発明の実施の形態】

本発明の実施例を説明する前に、図12～図15を参照して、本願発明者らが

先に提案した半導体記憶装置について説明する。

【0019】

図12は、先の提案による半導体記憶装置の1メモリセル部分の断面図を示す。

【0020】

p⁻型シリコン基板101の表面層のチャネル領域104の両側に、n型のソース領域102及びドレイン領域103が形成されている。p⁻型シリコン基板101の不純物濃度は、例えば $5 \times 10^{15} \text{ cm}^{-3}$ である。チャネル長、すなわちソース領域102とドレイン領域103との間隔は、例えば150nmである。チャネル領域104の表面上に、酸化シリコン(SiO₂)からなる厚さ2～3nmのトンネル絶縁膜105が形成されている。トンネル絶縁膜105の厚さは、キャリアがトンネル現象により移動することができる程度の厚さである。

【0021】

トンネル絶縁膜105の表面上に、厚さ10nmのフローティングゲート電極106が配置されている。フローティングゲート電極106は、TiN等の高融点金属で形成されている。フローティングゲート電極106は、基板法線方向から見たとき、ソース領域102及びドレイン領域103のいずれにも重ならないように配置されている。例えば、フローティングゲート電極106のソース領域102側の縁とソース領域102のチャネル領域104側の縁との間隔、及びフローティングゲート電極106のドレイン領域103側の縁とドレイン領域103のチャネル領域104側の縁との間隔は、50nmである。

【0022】

トンネル絶縁膜105及びフローティングゲート電極106を覆うように、酸化シリコンからなる厚さ6～10nmのゲート絶縁膜107が形成されている。ゲート絶縁膜107の表面上に、n⁺型ポリシリコンからなるコントロールゲート電極108が形成されている。トンネル絶縁膜105、ゲート絶縁膜107、及びコントロールゲート電極108からなる積層構造のソース領域102とドレイン領域103側の周縁部は、基板法線方向から見たとき、ソース領域102及びドレイン領域103に接するか、または部分的に重なるように配置されている。

【0023】

コントロールゲート電極108に電圧を印加していない状態のとき、チャネル領域104の表面層部分は空乏化している。なお、 p^- 型シリコン基板101とソース領域102との界面及び p^- 型シリコン基板101とドレイン領域103との界面にも空乏層が形成されている。

【0024】

次に、図13を参照して、図12に示す先の提案による半導体記憶装置の動作原理を説明する。

【0025】

図13(A)は、コントロールゲート電極108に電圧を印加していないときのエネルギーバンド図を示す。チャネル領域104のバンド端が下方に曲がり、チャネル領域104の表面層が空乏化している。フローティングゲート電極106のフェルミ準位 E_f が、チャネル領域104の伝導帯下端 E_c と価電子帯上端 E_v との間、すなわち禁制帯の中に位置している。

【0026】

図13(B)は、書込時のエネルギーバンド図を示す。コントロールゲート電極108に、ソース/ドレイン領域に対して正の電圧を印加する。例えば、コントロールゲート電極108に+5Vの電圧を印加する。フローティングゲート電極106とチャネル領域104との間に約1.5V程度の電位差が発生する。この電位差により、チャネル領域104の表面に反転層が形成される。この反転層内の電子が、トンネル現象によりフローティングゲート電極106に注入される。注入された電子は、フローティングゲート電極106のフェルミ準位近傍のエネルギー準位を占める。

【0027】

図13(C)は、情報保持状態におけるエネルギーバンド図を示す。フローティングゲート電極106に電子が蓄積されているため、図13(A)の状態に比べて、フローティングゲート電極106の電位が下がる。このため、チャネル領域104の表面のバンド端の曲がりが少なくなっている。図13(C)の場合は、

図 1 3 (A) の場合に比べて、フローティングゲート型 F E T のしきい値が大きくなる。この 2 つの状態のしきい値の違いを検出することにより、記憶された情報を読みだすことができる。

【 0 0 2 8 】

図 1 3 (C) の状態において、フローティングゲート電極 1 0 6 のフェルミ準位は、チャネル領域 1 0 4 の禁制帯の中に位置する。このため、フェルミ準位近傍のエネルギーを持つ電子が、トンネル現象によりチャネル領域 1 0 4 内に移動することはない。また、チャネル領域 1 0 4 の表面には、正孔がほとんど存在しないため、正孔がチャネル領域 1 0 4 からフローティングゲート電極 1 0 6 に注入されることもない。

【 0 0 2 9 】

図 1 2 において、フローティングゲート電極 1 0 6 の両端とソース／ドレイン領域 1 0 2 及び 1 0 3 との間には、キャリアがトンネルできない程度の間隔が確保されている。このため、フローティングゲート電極 1 0 6 に蓄積された電子が、トンネル現象によりソース／ドレイン領域 1 0 2 及び 1 0 3 に移動することもない。従って、フローティングゲート電極 1 0 6 内に電子が長時間保持される。すなわち、フローティングゲート電極 1 0 6 の両端の各々とソース／ドレイン領域 1 0 2 及び 1 0 3 との間隔を、トンネル絶縁膜 1 0 5 の厚さよりも広くしておく必要がある。

【 0 0 3 0 】

図 1 3 (D) は、消去時のエネルギーバンド図を示す。コントロールゲート電極 1 0 8 に、ソース／ドレイン領域に対して負の電圧を印加する。例えばソース／ドレイン領域に 0 V を印加し、コントロールゲート電極 1 0 8 に - 5 V を印加する。チャネル領域 1 0 4 の表面に蓄積層が形成される。この蓄積層内の正孔が、トンネル現象によりフローティングゲート電極 1 0 6 に注入される。正孔の注入により、フローティングゲート電極 1 0 6 に蓄積されていた電荷が中和される。コントロールゲート電極 1 0 8 への電圧の印加を停止すると、図 1 3 (A) の状態に戻る。

【 0 0 3 1 】

図 13 (B) に示す書込時、及び図 13 (D) に示す消去時に、キャリアがトンネル絶縁膜 105 をダイレクトトンネリングする。FN トンネル現象を利用していないため、比較的低電圧で書込及び消去を行うことができる。

【0032】

図 12 及び図 13 では、フローティングゲート電極を高融点金属で形成したが、その他の材料で形成してもよい。例えば、フローティングゲート電極を n 型ポリシリコンで形成してもよい。

【0033】

図 14 は、フローティングゲート電極を n 型ポリシリコンで形成した場合の、動作原理を説明するためのエネルギーバンド図である。

【0034】

図 14 (A) は、コントロールゲート電極 108 に電圧を印加していないときのエネルギーバンド図を示す。チャネル領域 104 の表面近傍において、バンド端が下方に曲がっている。フローティングゲート電極 106 のフェルミ準位は、チャネル領域 104 の禁制帯の中に位置する。

【0035】

図 14 (B) は、情報書込時のエネルギーバンド図を示す。コントロールゲート電極 108 にソース/ドレイン領域 102 及び 103 に対して正の電圧を印加する。チャネル領域 104 の表面に反転層が形成される。反転層内の電子がトンネル現象によりフローティングゲート電極 106 に注入される。注入された電子は、フェルミ準位近傍の準位、すなわち伝導帯下端近傍のエネルギー準位を占める。

【0036】

図 14 (C) は、情報を保持している状態のエネルギーバンド図を示す。フローティングゲート電極 106 に蓄積された負電荷のため、その電位が低下する。フローティングゲート電極 106 の電位の低下により、チャネル領域 104 の表面におけるバンド端の曲がりが少なくなる。このため、図 14 (C) の状態のフローティングゲート型 FET のしきい値は、図 14 (A) の状態のしきい値よりも大きくなる。

【0037】

フローティングゲート電極 1 0 6 のフェルミ準位が、チャネル領域 1 0 4 の禁制帯の中に位置する。さらに、チャネル領域 1 0 4 の表面の不純物濃度を高くしてあるため、チャネル領域 1 0 4 とフローティングゲート電極 1 0 6 との電位差のうち大部分がトンネル絶縁膜 1 0 5 に加わる。

【 0 0 3 8 】

トンネル絶縁膜 1 0 5 の両側に大きな電位差が発生するため、チャネル領域 1 0 4 の表面には、フローティングゲート電極 1 0 6 の伝導帯下端に過剰に蓄積された電子のエネルギー準位に対応するエネルギー準位が存在しない。このため、フローティングゲート電極 1 0 6 内に注入された電子は、トンネル現象によりチャネル領域 1 0 4 内へ移動することができない。電子がチャネル領域 1 0 4 に移動しないため、注入された電子をフローティングゲート電極 1 0 6 内に長時間保持することができる。

【 0 0 3 9 】

図 1 5 は、上述の先の提案による半導体メモリ装置の等価回路図を示す。相互に平行に配置された複数のゲート線 1 2 0 が図の横方向に延在する。相互に平行に配置された複数のソース線 1 2 1 及びドレイン線 1 2 2 が、図の縦方向に延在する。ソース線 1 2 1 とドレイン線 1 2 2 とは、交互に配置されている。

【 0 0 4 0 】

ソース線 1 2 1 とドレイン線 1 2 2 との一组とゲート線 1 2 0 との各交差箇所に、フローティングゲート型 F E T 1 2 5 が配置されている。フローティングゲート型 F E T 1 2 5 のコントロールゲート電極、ソース領域、及びドレイン領域は、それぞれ対応するゲート線 1 2 0、ソース線 1 2 1、及びドレイン線 1 2 2 に接続されている。すべてのゲート線 1 2 0 は、ゲート線制御回路 1 3 0 に接続され、すべてのソース線 1 2 1 及びドレイン線 1 2 2 は、ソース／ドレイン線制御回路 1 3 1 に接続されている。

【 0 0 4 1 】

特定のメモリセルに情報を書き込む方法を説明する。情報を書き込むべきメモリセルに対応するソース線 1 2 1 及びドレイン線 1 2 2 に電圧 0 V を印加し、対応するゲート線 1 2 0 に書込電圧 ($+V_{\text{write}}$) を印加する。選択されないソー

ス線 1 2 1 及びドレイン線 1 2 2 には、電圧 ($+V_{\text{write}}$) を印加し、選択されないゲート線 1 2 0 には、電圧 0 V を印加する。これらの電圧の印加は、ゲート線制御回路 1 3 0 及びソース／ドレイン線制御回路 1 3 1 により行われる。

【0 0 4 2】

選択されたメモリセルのコントロールゲート電極とチャネル領域間に電圧 V_{write} が印加され、情報が書き込まれる。選択されないメモリセルにおいては、ソース／ドレイン領域とチャネル領域との間の p n 接合が逆バイアスされる。このため、図 1 2 に示すコントロールゲート電極 1 0 8 の端部とソース／ドレイン領域 1 0 2 及び 1 0 3 の先端との間に電界が集中し、フローティングゲート電極 1 0 7 とチャネル領域 1 0 4 との間には大きな電圧が印加されない。従って、選択されていないメモリセルには、情報の書込が行われない。

【0 0 4 3】

情報を消去する場合には、ゲート線 1 2 0 に電圧 ($-V_{\text{write}}$) を印加する。電圧 ($-V_{\text{write}}$) が印加されたゲート線 1 2 0 に接続されているメモリセルにおいて、一括して情報の消去が行われる。

【0 0 4 4】

次に、情報を読み出す方法を説明する。情報を読み出すべきメモリセルのゲート線 1 2 0 に、消去状態におけるしきい値と書込状態におけるしきい値との中間の電圧 $+V_{\text{read}}$ を印加する。その他のゲート線 1 2 0 には電圧 0 V を印加しておき、すべてのメモリセルを非導通状態にしておく。読み出すべきメモリセルのソース線 1 2 1 とドレイン線 1 2 2 との間に電圧を印加し、流れる電流を検出する。情報が書き込まれている場合には電流がほとんど流れず、消去されている場合には電流が流れる。

【0 0 4 5】

次に、本発明の実施例について説明する。上述の先の提案による半導体記憶装置では、電流の流れる方向に関して、フローティングゲート電極が、コントロールゲート電極よりも短い。このため、それぞれのゲート電極を形成するための微細なマスクが必要であり、コントロールゲート電極をフローティングゲート電極の上に正確に位置合わせしなければならない。これは、歩留まりの低下、製造コ

ストの上昇につながる。本発明の実施例では、フローティングゲート電極とコントロールゲート電極の一方が他方に対して自己整合的に形成される。なお、以下に説明する実施例による半導体記憶装置の動作原理は、図 1 3 及び図 1 4 を参照して説明した先の提案による半導体記憶装置の動作原理と同様である。また、各メモリセルを集積化した回路構成も、図 1 5 を参照して説明した先の提案の回路構成と同様である。

【 0 0 4 6 】

図 1 ～図 3 を参照して、第 1 の実施例による半導体記憶装置の構成及び製造方法について説明する。

【 0 0 4 7 】

図 1 (A) は、第 1 の実施例による半導体記憶装置の一メモリセルの平面図を示し、図 1 (B) は、図 1 (A) の一点鎖線 B 1 - B 1 における断面図を示す。

【 0 0 4 8 】

抵抗率約 $10 \Omega \text{ cm}$ の p^- 型シリコン基板 1 の表面上に形成されたフィールド酸化膜 2 が、活性領域 3 を画定している。活性領域 3 を横切る帯状の領域上に、酸化シリコンからなるトンネル絶縁膜 4 が形成されている。トンネル絶縁膜 4 は、キャリアがトンネル現象により透過できる程度の厚さ、例えば 3 nm 程度の厚さである。トンネル絶縁膜 4 の上に、フローティングゲート電極 5 が形成されている。フローティングゲート電極 5 は、リンドーブの n 型ポリシリコンで形成され、その不純物濃度は約 $1 \times 10^{20} \text{ cm}^{-3}$ である。フローティングゲート電極 5 のゲート長は、約 100 nm である。

【 0 0 4 9 】

フローティングゲート電極 5 の上に、酸化シリコンからなる誘電体膜 6 が形成されている。誘電体膜 6 は、キャリアがトンネル現象により透過できない厚さ、例えば $5 \sim 10 \text{ nm}$ 程度の厚さである。

【 0 0 5 0 】

誘電体膜 6 の上に、上部コントロールゲート電極 7 が形成されている。上部コントロールゲート電極 7 は、リンドーブの n 型ポリシリコンで形成され、その不純物濃度は、約 $1 \times 10^{20} \text{ cm}^{-3}$ である。

【0051】

トンネル絶縁膜 4、フローティングゲート電極 5、誘電体膜 6、及び上部コントロールゲート電極 7 により、積層メサ 8 が構成される。積層メサ 8 は、活性領域 3 の外側のフィールド酸化膜 2 の上まで延在する。酸化シリコンからなるゲート絶縁膜 10 が、積層メサ 8 の側面及びその側面に連続する活性領域 3 の表面の一部を覆う。ゲート絶縁膜 10 は、キャリアがトンネル現象により透過できない厚さ、例えば 5 ~ 10 nm 程度の厚さである。

【0052】

ゲート絶縁膜 10 の表面上に、側部コントロールゲート電極 11 が形成されている。側部コントロールゲート電極 11 は、リンドープの n 型ポリシリコンで形成され、その不純物濃度は、約 $1 \times 10^{20} \text{ cm}^{-3}$ である。側部コントロールゲート電極 11 の横方向の厚さは、約 100 nm である。

【0053】

側部コントロールゲート電極 11 は、積層メサ 8 と同様にフィールド酸化膜 2 の上まで延在する。フィールド酸化膜 2 の上においては、側部コントロールゲート電極 11 が拡幅されてパッド 11 A とされ、基板表面の大きな面積部分を占める。パッド 11 A は、積層メサ 8 の側面上のみではなく、その上面上にも配置される。なお、積層メサ 8 の上面上に配置されたパッド 11 A と上部コントロールゲート電極 7 との間には、ゲート絶縁膜 10 が残されている。側部コントロールゲート電極 11 の側面上に、酸化シリコンからなるサイドウォール絶縁膜 15 が形成されている。

【0054】

活性領域 3 の表面層のうち、サイドウォール絶縁膜 15 の下方の領域に、砒素 (As) が添加されたエクステンション部 20 が形成されている。活性領域 3 の表面層のうち、サイドウォール絶縁膜 15 よりも外側の領域に、As が添加されたソース領域 21 及びドレイン領域 22 が形成されている。エクステンション部 20 は、不純物添加領域 21 よりも浅く、かつ不純物濃度が低い。エクステンション部 20 を形成するのは、ショートチャネル効果によるパンチスルーを防止するためである。

【 0 0 5 5 】

ソース領域 2 1 及びドレイン領域 2 2 の表面上に、それぞれコバルトシリサイド膜 2 5 及び 2 6 が形成されている。上部コントロールゲート電極 7 及び側部コントロールゲート電極 1 1 の上に、コバルトシリサイド膜 2 7 が形成されている。なお、パッド 1 1 A が配置された領域においては、パッド 1 1 A が上部コントロールゲート電極 7 を覆うため、コバルトシリサイド膜 2 7 は、パッド 1 1 A の上面上に形成される。

【 0 0 5 6 】

コバルトシリサイド膜 2 7 は、上部コントロールゲート電極 7 と側部コントロールゲート電極 1 1 とを電氣的に接続する。パッド 1 1 A は、それよりも上層の配線層に形成されたゲートバスライン 1 2 0 に接続される。

【 0 0 5 7 】

図 1 では、フローティングゲート電極 5 をポリシリコンで形成した場合を示したが、他の導電性の金属材料や半導体材料で形成してもよい。例えば、TiN、Ge、SiGe 等で形成してもよい。また、上部コントロールゲート電極 7 及び側部コントロールゲート電極 1 1 を、ポリシリコン以外の半導体材料や金属材料で形成してもよい。

【 0 0 5 8 】

次に、図 2 及び図 3 を参照して、第 1 の実施例による半導体記憶装置の製造方法について説明する。

【 0 0 5 9 】

図 2 (A) に示すように、 p^- 型シリコン基板 1 の表面を局所的に熱酸化し、フィールド酸化膜 2 を形成する。フィールド酸化膜 2 に囲まれた活性領域 3 が画定される。活性領域 3 の表面層に、硼素 (B) イオンを、加速エネルギー 10 keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。

【 0 0 6 0 】

図 2 (B) に示すように、活性領域 3 の表面を熱酸化して、厚さ 3 nm の酸化シリコン膜 4 a を形成する。フィールド酸化膜 2 及び酸化シリコン膜 4 a の上に、厚さ 80 nm のポリシリコン膜 5 a を、化学気相成長 (CVD) により形成す

る。ポリシリコン膜 5 a の表面を熱酸化し、厚さ 5 ~ 1 0 n m の酸化シリコン膜 6 a を形成する。酸化シリコン膜 6 a の上に、厚さ 1 0 0 n m のポリシリコン膜 7 a を、C V D により形成する。ポリシリコン膜 5 a 及び 7 a には、成長中に、リン (P) がドーピングされる。リン濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ である。

【 0 0 6 1 】

図 2 (C) に示すように、ポリシリコン膜 7 a から酸化シリコン膜 4 a までの積層構造をパターニングし、トンネル絶縁膜 4、フローティングゲート電極 5、誘電体膜 6、及び上部コントロールゲート電極 7 が積層された積層メサ 8 を残す。なお、ポリシリコン膜 5 a の下表面までをエッチングし、酸化シリコン膜 4 a を活性領域 3 の表面上に残してもよい。積層メサ 8 の幅は、約 1 0 0 n m である。積層メサ 8 は、図 1 (A) に示すように、活性領域 3 を横切って活性領域 3 内の領域を二分し、その両端がフィールド酸化膜 2 上まで延在する。一方の端部 (図 1 (A) において上側の端部) は、他方の端部に比べて、フィールド酸化膜 2 上により長く延在する。

【 0 0 6 2 】

図 3 (D) に示すように、活性領域 3 及び積層メサ 8 の表面を熱酸化し、厚さ 5 ~ 1 0 n m の酸化シリコン膜 1 0 a を形成する。基板全面を覆うように、厚さ 1 0 0 n m のポリシリコン膜 1 1 a を、C V D により形成する。ポリシリコン膜 1 1 a には、成長中にリンがドーピングされる。リン濃度は $1 \times 10^{20} \text{ cm}^{-3}$ である。

【 0 0 6 3 】

図 3 (E) に示す状態までの工程を説明する。ポリシリコン膜 1 1 a の表面のうち、図 1 (A) に示したパッド 1 1 A となる領域をレジストパターンで覆う。その後、ポリシリコン膜 1 1 a を異方性エッチングする。積層メサ 8 の側面上に、側部コントロールゲート電極 1 1 が残る。フィールド酸化膜 2 上には、図 1 (A) に示すパッド 1 1 A が残る。

【 0 0 6 4 】

図 3 (F) に示すように、As イオンを、加速エネルギー 5 k e V、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。活性領域 3 の表面層のうち、側部コン

トロールゲート電極 1 1 よりも外側の領域に、As がドーブされたエクステンション部 2 0 が形成される。側部コントロールゲート電極 1 1 を形成した後にエクステンション部 2 0 のイオン注入を行うため、基板法線方向に沿って見たとき、エクステンション部 2 0 はフローティングゲート電極 5 と重ならない。

【 0 0 6 5 】

その後、図 1 (B) に示すように、側部コントロールゲート電極 1 1 の側面上に、サイドウォール絶縁膜 1 5 を形成する。サイドウォール絶縁膜 1 5 は、基板全面を覆うように酸化シリコン膜を形成した後、この酸化シリコン膜を異方性エッチングすることにより形成される。

【 0 0 6 6 】

活性領域 3 の表面層に、As イオンを、加速エネルギー 4 0 k e V、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入する。活性領域 3 の表面層のうち、サイドウォール絶縁膜 1 5 よりも外側の領域に、ソース領域 2 1 及びドレイン領域 2 2 が形成される。

【 0 0 6 7 】

その後、ソース領域 2 1、ドレイン領域 2 2、上部コントロールゲート電極 7、及び側部コントロールゲート電極 1 1 の露出した表面上に、コバルトシリサイド膜 2 5、2 6、及び 2 7 を形成する。以下、コバルトシリサイド膜の形成方法を簡単に説明する。

【 0 0 6 8 】

まず、基板全面を覆うように、コバルト膜を堆積する。温度 5 5 0 °C で 3 0 秒間の熱処理を行い、コバルトとシリコンとを反応させる。硫酸と過酸化水素水との混合液で、未反応のコバルト膜を除去する。さらに、温度 8 4 0 °C で 3 0 秒間の熱処理を行う。これにより、コバルトシリサイド膜 2 5、2 6、及び 2 7 が形成される。上部コントロールゲート電極 7 及び側部コントロールゲート電極 1 1 の上面上に形成されたコバルトシリサイド膜 2 7 が、両者を電氣的に接続する。

【 0 0 6 9 】

上記第 1 の実施例による半導体記憶装置においては、上部コントロールゲート電極 7 と側部コントロールゲート電極 1 1 とが、図 1 2 に示した先の提案による

半導体記憶装置のコントロールゲート電極 1 0 8 と同様の機能を果たす。フローティングゲート電極 5 の両脇に配置された側部コントロールゲート電極 1 1 が、フォトリソグラフィ工程を経ることなく、フローティングゲート電極 5 に対して自己整合的に形成される。このため、フォトリソグラフィ工程時の位置ずれに起因する歩留まりの低下を防止することができる。

【 0 0 7 0 】

上記第 1 の実施例では、図 1 (A) に示すゲートバスライン 1 2 0 を、パッド 1 1 A よりも上層の配線層内に配置した。パッド 1 1 A の抵抗が十分低い場合には、パッド 1 1 A をゲートバスライン 1 2 0 の延在する方向に延ばして、隣のメモリセルのパッド 1 1 A に接続させ、パッド 1 1 A 自体をゲートバスラインとして用いてもよい。

【 0 0 7 1 】

また、図 1 に示す誘電体膜 6 及びゲート絶縁膜 1 0 を、熱酸化による酸化シリコンで形成したが、その他に、窒化シリコン (SiN) や酸化タンタル (Ta_2O_5) 等で形成してもよい。窒化シリコンや酸化タンタルは、酸化シリコンよりも高い誘電率を有する。このため、誘電体膜 6 及びゲート絶縁膜 1 0 を厚くしても、十分大きな静電容量を確保することが可能である。これらの膜を厚くすると、コントロールゲート電極とフローティングゲート電極との間のリーク電流を少なくすることができる。

【 0 0 7 2 】

次に、図 4 を参照して、本発明の第 2 の実施例による半導体記憶装置について説明する。

【 0 0 7 3 】

図 4 (A) は、第 2 の実施例による半導体記憶装置の平面図を示す。第 2 の実施例による半導体記憶装置の積層メサ 8、ゲート絶縁膜 1 0、側部コントロールゲート電極 1 1、及びサイドウォール絶縁膜 1 5 の構成は、図 1 に示す第 1 の実施例の場合と同様である。図 4 (B) は、図 4 (A) の一点鎖線 B 4 - B 4 における断面図を示す。すなわち、活性領域 3 上の積層メサ 8 とパッド 1 1 A とを連結する部分の断面図である。

【0074】

図4 (B) に示すように、フローティングゲート型TFTが形成された基板上に、層間絶縁膜31が形成されている。層間絶縁膜にコンタクトホール31Aが形成されている。図4 (A) に示すように、コンタクトホール31Aは、パッド11Aの上面の一部、及び積層メサ8のうち活性領域3とパッド11Aとの間の部分の上面を露出させる。

【0075】

層間絶縁膜31の上に、アルミニウム等からなるゲートバスライン120が形成されている。ゲートバスライン120は、コンタクトホール31Aの底に露出したパッド11Aに電氣的に接続される。さらに、パッド11Aと活性領域3との間の領域においては、ゲートバスライン120が、上部コントロールゲート電極7の上面と側部コントロールゲート電極11の上面に接触し、両者を電氣的に接続する。

【0076】

第1の実施例の場合には、図1 (B) に示したようにコバルトシリサイド膜27を形成することにより、上部コントロールゲート電極7と側部コントロールゲート電極11とを電氣的に接続した。第2の実施例では、コバルトシリサイド膜を形成することなく、上部コントロールゲート電極7と側部コントロールゲート電極11とを電氣的に接続することができる。

【0077】

次に、図5及び図6を参照して、本発明の第3の実施例による半導体記憶装置について説明する。

【0078】

図5 (A) は、第3の実施例による半導体記憶装置の平面図を示す。図5 (B) 及び図5 (C) は、それぞれ図5 (A) の一点鎖線B5-B5及び一点鎖線C5-C5における断面図を示す。第1の実施例では、図1 (B) に示すように、フローティングゲート電極5の上に、誘電体膜6を介して上部コントロールゲート電極7が配置されていたが、第3の実施例では、上部コントロールゲート電極が配置されない。

【 0 0 7 9 】

図 5 (B) に示すように、シリコン基板 1 の活性領域上に、トンネル絶縁膜 4 及びフローティングゲート電極 5 が積層された積層メサ 8 が形成されている。ゲート絶縁膜 1 0 が、積層メサ 8、及びその両側の活性領域の表面の一部を覆う。積層メサ 8 の側面上に、ゲート絶縁膜 1 0 を介してコントロールゲート電極 1 1 が配置されている。コントロールゲート電極 1 1 の側面上に、サイドウォール絶縁膜 1 5 が配置されている。

【 0 0 8 0 】

活性領域の表面層のうちサイドウォール絶縁膜 1 5 の下方の領域に、A s が添加されたエクステンション部 2 0 が形成されている。活性領域 3 の表面層のうち、サイドウォール絶縁膜 1 5 よりも外側の領域に、A s が添加されたソース領域 2 1 及びドレイン領域 2 2 が形成されている。

【 0 0 8 1 】

図 5 (A) に示すように、フローティングゲート電極 5 が、活性領域 3 を横切り、その一方の端部がフィールド酸化膜 2 上まで延在する。フローティングゲート電極 5 の一方の端部は、フィールド酸化膜 2 の上において拡幅され、広い面積部分を占める拡幅部 5 A とされている。コントロールゲート電極 1 1 も、フィールド酸化膜 2 の上まで延在し、その一方の端部が拡幅され、パッド 1 1 A とされている。

【 0 0 8 2 】

図 5 (C) に示すように、パッド 1 1 A はフローティングゲート電極 5 の拡幅部 5 A の側面及び上面を覆う。拡幅部 5 A とパッド 1 1 A との間には、ゲート絶縁膜 1 0 が配置されている。

【 0 0 8 3 】

次に、図 6 を参照して、第 3 の実施例による半導体記憶装置の製造方法について説明する。なお、以下の実施例において、特に断らない限り、成膜条件、膜厚、不純物濃度等は、第 1 の実施例の対応する構成部分の成膜条件、膜厚、不純物濃度等と同様である。

【 0 0 8 4 】

図 6 (A) に示すように、シリコン基板 1 の表面上にフィールド酸化膜 2 を形成し、活性領域 3 を画定する。活性領域 3 の表面上に酸化シリコン膜 4 a を形成する。基板の全面を覆うように、厚さ 1 8 0 n m の n 型ポリシリコン膜 5 a を形成する。

【 0 0 8 5 】

図 6 (B) に示すように、ポリシリコン膜 5 a と酸化シリコン膜 4 a とをパターニングし、トンネル絶縁膜 4 とフローティングゲート電極 5 とが積層された積層メサ 8 を残す。活性領域 3 の表面及びフローティングゲート電極 5 の表面を熱酸化し、酸化シリコン膜 1 0 a を形成する。

【 0 0 8 6 】

図 6 (C) に示すように、基板上に、厚さ 1 0 0 n m の n 型ポリシリコン膜 1 1 a を形成する。ポリシリコン膜 1 1 a の表面のうち、図 5 (A) に示すパッド 1 1 A となる部分をレジストパターンで覆う。

【 0 0 8 7 】

図 6 (D) に示すように、ポリシリコン膜 1 1 a を異方性エッチングし、積層メサ 8 の側面上に、コントロールゲート電極 1 1 を残す。図 5 (A) に示されたパッド 1 1 A の部分はレジストパターンで覆われているため、図 5 (C) に示すように、フローティングゲート電極の拡幅部 5 A の上にも、ポリシリコン膜 1 1 a からなるパッド 1 1 A が残る。

【 0 0 8 8 】

活性領域 3 の表面層に、As をイオン注入し、エクステンション部 2 0 を形成する。その後、図 5 (B) に示すように、サイドウォール絶縁膜 1 5 を形成し、ソース領域 2 1 及びドレイン領域 2 2 をイオン注入により形成する。

【 0 0 8 9 】

第 3 の実施例の場合には、図 5 (A) に示すようにフローティングゲート電極 5 の上にコントロールゲート電極が配置されない。そのため、フローティングゲート電極 5 を高くし、フローティングゲート電極 5 とコントロールゲート電極 1 1 との間の静電容量を大きくしている。また、フィールド酸化膜 2 の上において、フローティングゲート電極 5 を拡幅しているため、フローティングゲート電極

5とコントロールゲート電極11との間の静電容量をより大きくすることができる。

【0090】

フローティングゲート電極5とコントロールゲート電極11との間の静電容量が大きいと、コントロールゲート電極11に印加された電圧の影響が、フローティングゲート電極5を介してチャネル領域まで有効に及ぶ。このため、動作電圧の低減を図ることができる。

【0091】

次に、図7～図9を参照して、第4の実施例による半導体記憶装置について説明する。

【0092】

図7(A)は、第4の実施例による半導体記憶装置の平面図を示す。図7(B)及び図7(C)は、それぞれ図7(A)の一点鎖線B7-B7及び一点鎖線C7-C7における断面図を示す。以下、図5に示す第3の実施例による半導体記憶装置の構成と異なる点に着目して説明する。

【0093】

第3の実施例の場合には、図5(B)に示すように、フローティングゲート電極5の側面が、基板面に対してほぼ垂直な平面に沿った形状であった。これに対し、第4の実施例の場合には、図7(B)に示すように、フローティングゲート電極5の側面が、シリコン基板1の表面から高くなるに従ってフローティングゲート電極5の幅が広がるように湾曲している。コントロールゲート電極11とサイドウォール絶縁膜15との界面が、基板面に対してほぼ垂直な平面に沿った形状を有する。

【0094】

第3の実施例の場合には、図5(C)に示すように、パッド11Aがフローティングゲート電極の拡幅部5Aを覆っていた。これに対し、第4の実施例では、図7(C)に示すように、パッド11Aがフィールド酸化膜2の上に直接形成されている。

【0095】

また、第 3 の実施例の場合には、フィールド酸化膜 2 上に、フローティングゲート電極 5 の拡幅部 5 A が配置され、拡幅部 5 A がパッド 1 1 A と重なっていた。これに対し、第 4 の実施例では、フローティングゲート電極 5 は、パッド 1 1 A とほとんど重ならない。

【 0 0 9 6 】

次に、図 8 及び図 9 を参照して、第 4 の実施例による半導体記憶装置の製造方法について説明する。

【 0 0 9 7 】

図 8 (A) に示すように、シリコン基板 1 の表面上にフィールド酸化膜 2 を形成し、活性領域 3 を画定する。活性領域 3 の表面層に、リンのイオン注入を行う。ここまでの工程は、図 2 (A) で説明した第 1 の実施例の場合と同様である。基板全面を覆うように、厚さ 1 8 0 n m の酸化シリコン膜 4 0 を C V D により堆積する。酸化シリコン膜 4 0 に、図 7 (A) のコントロールゲート電極 1 1 及びパッド 1 1 A に対応したパターンを有する開口 4 0 a を形成する。活性領域 3 の内側においては、開口 4 0 a の幅が約 3 0 0 n m であり、その底面に活性領域 3 の表面が露出する。

【 0 0 9 8 】

図 8 (B) に示すように、開口 4 0 a の底面に露出した活性領域 3 の表面を熱酸化し、厚さ 5 n m 程度のゲート絶縁膜 1 0 B を形成する。酸化シリコン膜 4 0 の上面、開口 4 0 a の側面及び底面を覆うように、厚さ 1 0 0 n m の n 型ポリシリコン膜 1 1 b を堆積する。ポリシリコン膜 1 1 b の上面のうち、図 7 (A) のパッド 1 1 A に対応する領域をレジストパターンで覆う。

【 0 0 9 9 】

図 8 (C) に示すように、ポリシリコン膜 1 1 b を異方性エッチングし、開口 4 0 a の側面上に、ポリシリコンからなるコントロールゲートゲート電極 1 1 を残す。コントロールゲート電極 1 1 に挟まれた領域に露出したゲート絶縁膜 1 0 B を除去し、活性領域 3 の表面を露出させる。レジストパターンで覆われた領域には、図 7 (C) に示すパッド 1 1 A が残る。レジストパターンを除去した後、露出したシリコン表面を熱酸化する。

【0 1 0 0】

図 9 (D) に示すように、活性領域 3 の表面上にトンネル絶縁膜 4 が形成され、コントロールゲート電極 1 1 の側面上にゲート絶縁膜 1 0 A が形成される。ポリシリコンの酸化速度は、単結晶シリコンの酸化速度よりも速い。このため、トンネル絶縁膜 4 の厚さが 3 nm となる条件で熱酸化を行うと、ゲート絶縁膜 1 0 A の厚さは 3 nm よりも厚く、キャリアがトンネル現象により透過できない程度の厚さになる。

【0 1 0 1】

基板全面を覆うように、厚さ 1 0 0 nm の n 型ポリシリコン膜 5 b を堆積する。開口 4 0 a 内が、ポリシリコン膜 5 b で埋め込まれる。

【0 1 0 2】

図 9 (E) に示すように、酸化シリコン膜 4 0 の上面が露出するまでポリシリコン膜 5 b をエッチバックする。開口 4 0 a 内に、ポリシリコンからなるフローティングゲート電極 5 が残る。パッド 1 1 A 上に堆積したポリシリコン膜 5 b は、図 7 (C) に示すように除去される。なお、この時点では、パッド 1 1 A の上面が、図 9 (D) に示すゲート絶縁膜 1 0 A で覆われている。このゲート絶縁膜 1 0 A がエッチバック時のエッチング停止層として働く。

【0 1 0 3】

図 9 (F) に示すように、酸化シリコン膜 4 0 を除去する。酸化シリコン膜 4 0 の除去は、例えばフッ酸を用いたウェットエッチングにより行うことができる。このとき、図 7 (C) のパッド 1 1 A の上面を覆っていたゲート絶縁膜が除去される。活性領域 3 の表面層に As のイオン注入を行い、エクステンション部 2 0 を形成する。

【0 1 0 4】

図 7 (B) に示すように、コントロールゲート電極 1 1 の側面上に、酸化シリコンからなるサイドウォール絶縁膜 1 5 を形成する。その後、ソース領域 2 1 及びドレイン領域 2 2 を形成するためのイオン注入を行う。

【0 1 0 5】

第 4 の実施例による半導体記憶装置においては、図 7 (B) に示すように、フ

ローティングゲート電極 5 の側面が、シリコン基板 1 の表面から高くなるに従ってフローティングゲート電極 5 の幅が広がるように湾曲している。このため、フローティングゲート電極 5 とコントロールゲート電極 1 1 とが対向する領域の面積が大きくなり、両者間の静電容量を大きくすることができる。

【0 1 0 6】

また、フローティングゲート電極 5 のゲート長が、図 8 (A) に示す開口 4 0 a の幅よりも短い。開口 4 0 a の幅をフォトリソグラフィによる最小加工寸法にすると、ゲート長を最小加工寸法よりも短くすることができる。

【0 1 0 7】

次に、図 1 0 を参照して、第 5 の実施例による半導体記憶装置について説明する。上記第 4 の実施例では、フローティングゲート電極 5 及びコントロールゲート電極 1 1 を形成した後に、エクステンション部 2 0、ソース領域 2 1、及びドレイン領域を形成した。このため、フローティングゲート電極 5 及びコントロールゲート電極 1 1 等が、不純物活性化のための熱処理にさらされる。第 5 の実施例では、不純物の注入及び活性化熱処理を、先に行う。

【0 1 0 8】

図 1 0 (A) に示す状態までの製造工程について説明する。シリコン基板 1 の表面上にフィールド酸化膜 2 を形成し、活性領域 3 を画定する。活性領域 3 を横切るように、活性領域 3 の上に酸化シリコン膜 5 1 及びポリシリコン膜 5 2 の 2 層からなる積層メサ 5 3 を形成する。酸化シリコン膜 5 1 の厚さは約 1 0 n m、ポリシリコン膜 5 2 の厚さは約 1 8 0 n m である。積層メサ 5 3 をマスクとして、活性領域 3 の表面層に A s イオンを注入し、エクステンション部 2 0 を形成する。

【0 1 0 9】

積層メサ 5 3 の側面上に、酸化シリコンからなるサイドウォール絶縁膜 5 4 を形成する。積層メサ 5 3 とサイドウォール絶縁膜 5 4 とをマスクとして、活性領域 3 の表面層に A s イオンを注入し、ソース領域 2 1 及びドレイン領域 2 2 を形成する。

【0 1 1 0】

基板全面を覆うように、厚さ 200 nm の酸化シリコン膜 50 を堆積する。ポリシリコン膜 52 の上面が露出するまで酸化シリコン膜 50 を化学機械研磨 (CMP) し、表面を平坦化する。

【0111】

図 10 (B) に示すように、ポリシリコン膜 52 及び酸化シリコン膜 51 を除去する。この状態は、第 4 の実施例における図 8 (A) の状態に、エクステンション部 20、ソース領域 21、及びドレイン領域 22 が形成されたものと同様である。その後、第 4 の実施例の場合と同様に、コントロールゲート電極及びフローティングゲート電極等を形成する。ここまでの工程で第 4 の実施例の図 7 (B) と同様の構成を有する半導体記憶装置が得られる。

【0112】

第 5 の実施例の場合には、コントロールゲート電極 5、フローティングゲート電極 11、ゲート電極 10A 及び 10B を形成した後に、イオン注入や活性化のための高温熱処理を行う必要がない。このため、これらの材料として、熱処理に弱い金属材料や高誘電体材料を用いることが可能になる。

【0113】

次に、図 11 を参照して、第 6 の実施例による半導体記憶装置の製造方法について説明する。

【0114】

図 11 (A) に示すように、シリコン基板 1 の表面上にフィールド酸化膜 2 を形成し、活性領域 3 を画定する。活性領域 3 の表面上に酸化シリコン膜 4a を形成する。基板全面を覆うように、厚さ 180 nm のポリシリコン膜 5a を形成する。ここまでの工程は、第 3 の実施例の図 6 (A) で説明した工程と同様である。

【0115】

図 11 (B) に示すように、ポリシリコン膜 5a と酸化シリコン膜 4 とをパターンニングし、トンネル絶縁膜 4 とフローティングゲート電極 5 が積層された積層メサ 8 を残す。積層メサ 8 は、第 3 の実施例の図 5 (A) に示した積層メサ 8 と同様のパターンを有する。

【0 1 1 6】

積層メサ 8 の側面上に酸化シリコンからなるサイドウォール絶縁膜 6 0 を形成する。積層メサ 8 及びサイドウォール絶縁膜 6 0 をマスクとして、活性領域 3 の表面層に A s イオンを注入し、ソース領域 2 1 及びドレイン領域 2 2 を形成する。イオン注入後、サイドウォール絶縁膜 6 0 を除去する。

【0 1 1 7】

図 1 1 (C) に示すように、活性領域 3 及びフローティングゲート電極 5 の表面を熱酸化し、酸化シリコンからなるゲート絶縁膜 1 0 a を形成する。基板全面を覆うように、n 型ポリシリコン膜 1 1 a を堆積する。ポリシリコン膜 1 1 a の表面のうち、図 5 (A) に示したパッド 1 1 A に相当する領域をレジストパターンで覆う。

【0 1 1 8】

図 1 1 (D) に示すように、ポリシリコン膜 1 1 a を異方性エッチングし、積層メサ 8 の側面上にコントロールゲート電極 1 1 を残す。フィールド酸化膜 2 の上には、図 5 (A) のパッド 1 1 A と同様のパッドが残る。その後、レジストパターンを除去する。

【0 1 1 9】

第 6 の実施例の場合には、ゲート絶縁膜 1 0 a を形成した後に、イオン注入や活性化熱処理等の工程がないため、ゲート絶縁膜 1 0 a として熱に弱い高誘電体材料を用いることができる。高誘電体材料からなるゲート絶縁膜は、例えば C V D で形成される。

【0 1 2 0】

第 6 の実施例では、図 5 (B) に示した第 3 の実施例の場合と異なり、コントロールゲート電極 1 1 の下方にエクステンション部が形成されていない。しかし、コントロールゲート電極 1 1 の下方に、フローティングゲート電極 5 の下方よりも先に反転層が現れるため、トランジスタ動作に支障はない。

【0 1 2 1】

上記第 1 ～第 6 の実施例による半導体メモリ装置では、1 つのメモリセルが、1 つのフローティングゲート型 F E T のみで構成されている。このため、高集積

化を図ることが可能になる。

【0 1 2 2】

上記実施例では、 p^- 型シリコン基板を使用し、 n チャネルのフローティングゲート型FETを形成する場合を説明したが、 n 型シリコン基板を使用し、 p チャネルのフローティングゲート型FETを形成してもよい。この場合、ソース／ドレイン領域2及び3とコントロールゲート電極8との間に印加する電圧の極性を逆にする。

【0 1 2 3】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0 1 2 4】

【発明の効果】

以上説明したように、本発明によれば、ダイレクトトンネリングによりフローティングゲート電極にキャリアを注入するため、比較的低電圧で情報の書込及び消去を行うことができる。また、1つのフローティングゲート型FETで1つのメモリセルを構成するため、高集積化を図ることが可能になる。さらに、フローティングゲート電極とコントロールゲート電極との一方を他方に対して自己整合的に形成することができるため、位置合わせ時のずれに起因する歩留まりの低下を防止することができる。

【図面の簡単な説明】

【図 1】

本発明の第1の実施例による半導体記憶装置の平面図及び断面図である。

【図 2】

第1の実施例による半導体記憶装置の製造方法を説明するための基板の断面図（その1）である。

【図 3】

第1の実施例による半導体記憶装置の製造方法を説明するための基板の断面図（その2）である。

【図 4】

本発明の第 2 の実施例による半導体記憶装置の平面図及び断面図である。

【図 5】

本発明の第 3 の実施例による半導体記憶装置の平面図及び断面図である。

【図 6】

第 3 の実施例による半導体記憶装置の製造方法を説明するための基板の断面図である。

【図 7】

本発明の第 4 の実施例による半導体記憶装置の平面図及び断面図である。

【図 8】

第 4 の実施例による半導体記憶装置の製造方法を説明するための基板の断面図（その 1）である。

【図 9】

第 4 の実施例による半導体記憶装置の製造方法を説明するための基板の断面図（その 2）である。

【図 10】

第 5 の実施例による半導体記憶装置の製造方法を説明するための基板の断面図である。

【図 11】

第 6 の実施例による半導体記憶装置の製造方法を説明するための基板の断面図である。

【図 12】

先の提案による半導体記憶装置の断面図である。

【図 13】

先の提案による半導体記憶装置及び本発明の実施例による半導体記憶装置の動作原理を説明するためのエネルギーバンド図である。

【図 14】

先の提案による半導体記憶装置及び本発明の実施例による半導体記憶装置の動作原理を説明するためのエネルギーバンド図である。

【図 1 5】

先の提案及び本発明の実施例による半導体記憶装置の等価回路図である。

【符号の説明】

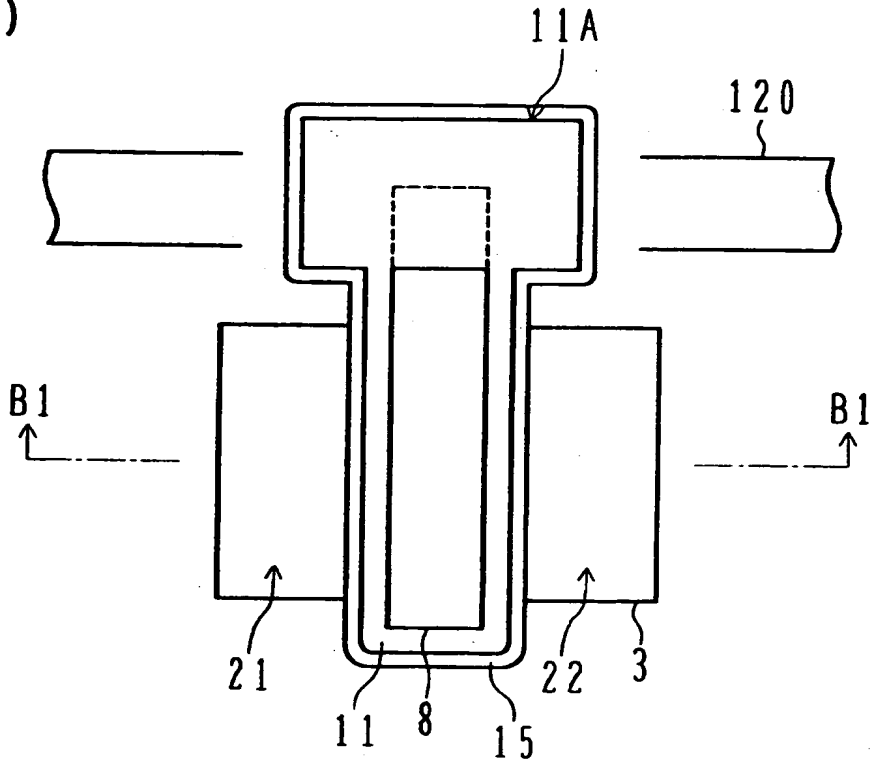
- 1 シリコン基板
- 2 フィールド酸化膜
- 3 活性領域
- 4 トンネル絶縁膜
- 5 フローティングゲート電極
- 6 誘電体膜
- 7 上部コントロールゲート電極
- 8 積層メサ
- 1 0 ゲート絶縁膜
- 1 1 側部コントロールゲート電極
- 1 5 サイドウォール絶縁膜
- 2 0 エクステンション部
- 2 1 ソース電極
- 2 2 ドレイン領域
- 2 5、2 6、2 7 コバルトシリサイド膜
- 3 1 層間絶縁膜
- 3 1 A コンタクトホール
- 4 0 酸化シリコン膜
- 5 0、5 1 酸化シリコン膜
- 5 2 ポリシリコン膜
- 5 3 積層メサ
- 5 4、6 0 サイドウォール絶縁膜
- 1 2 0 ゲートバスライン

【書類名】 図面

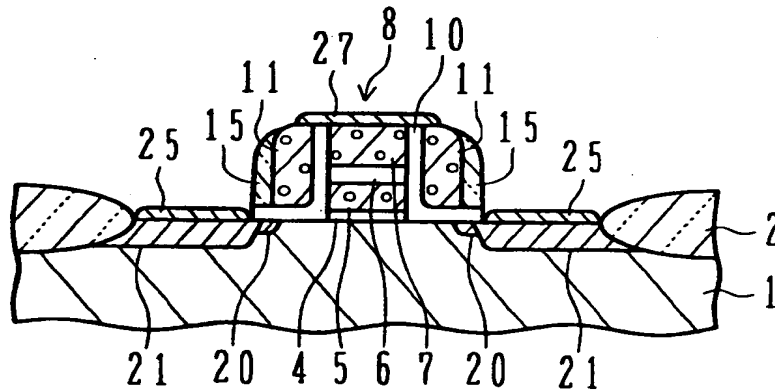
【図 1】

第 1 の実施例による半導体記憶装置

(A)



(B)

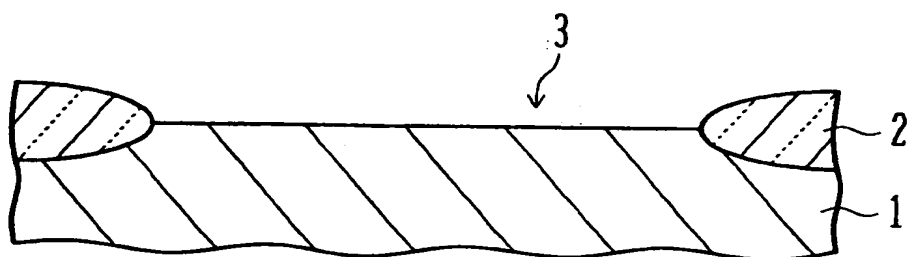


- | | |
|-------------------|---------------|
| 4: トンネル絶縁膜 | 20: エクステンション部 |
| 5: フローティングゲート電極 | 21: ソース領域 |
| 7: 上部コントロールゲート電極 | 22: ドレイン領域 |
| 10: ゲート絶縁膜 | |
| 11: 側部コントロールゲート電極 | |

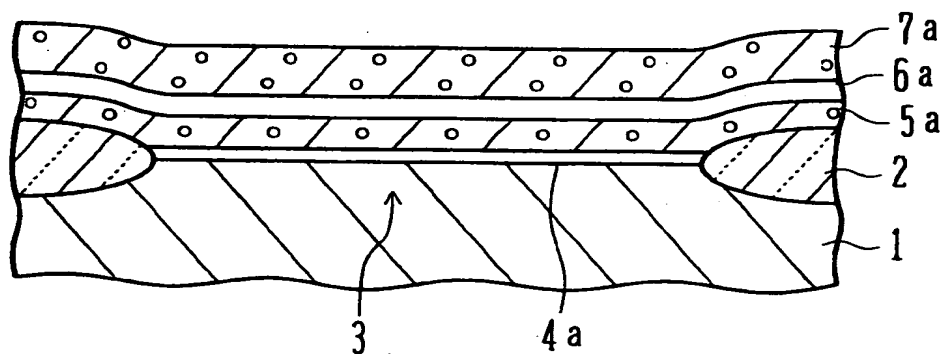
【図 2】

第 1 の実施例による製造方法 (その 1)

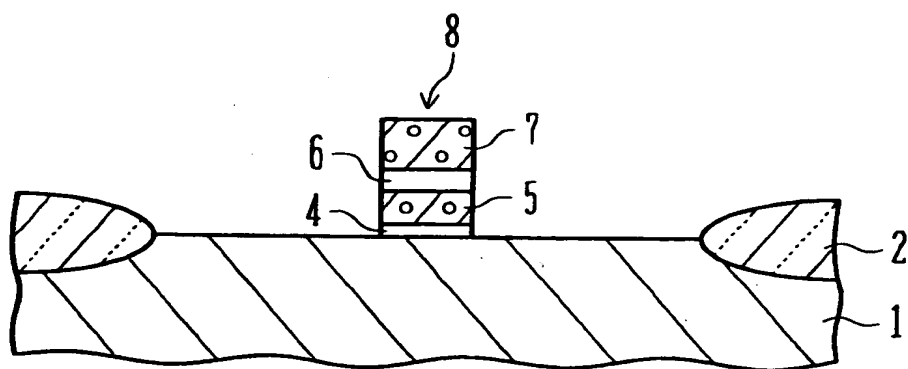
(A)



(B)



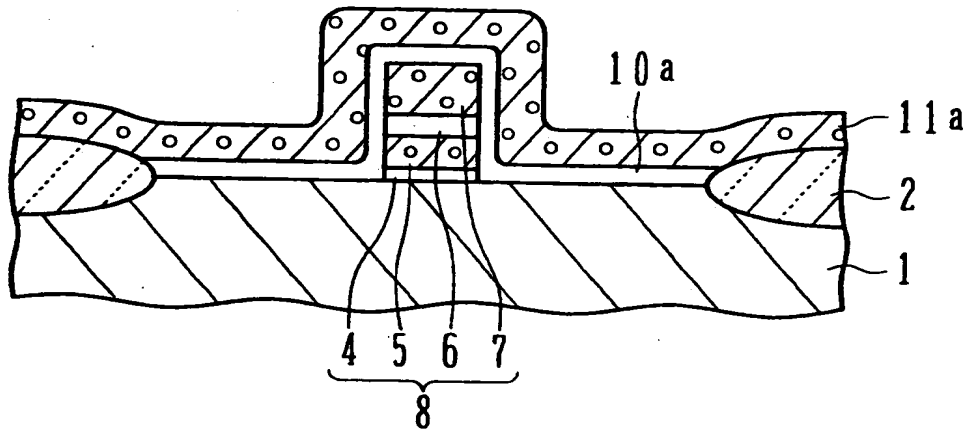
(C)



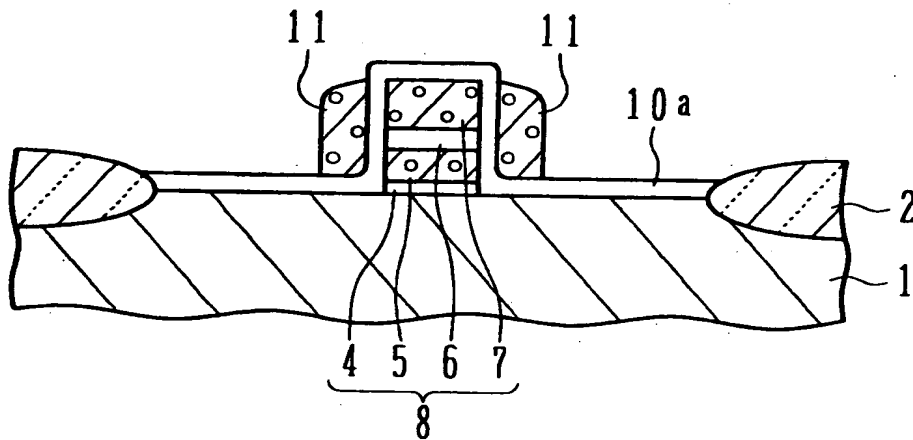
【図 3】

第 1 の実施例による製造方法 (その 2)

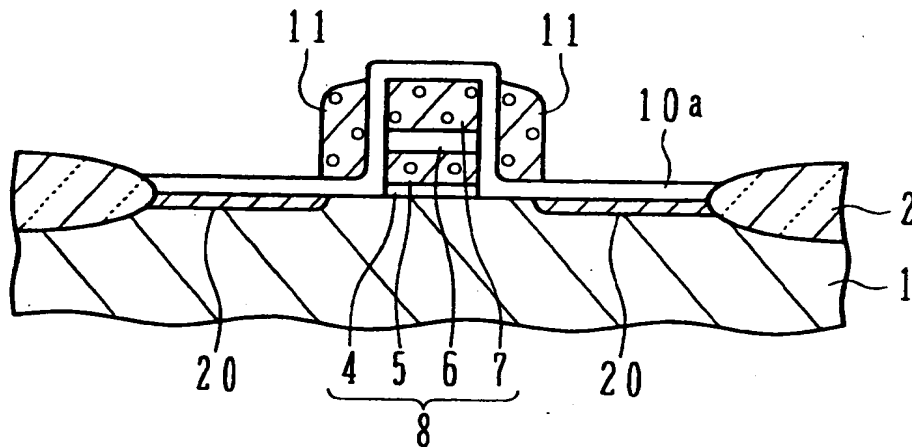
(D)



(E)



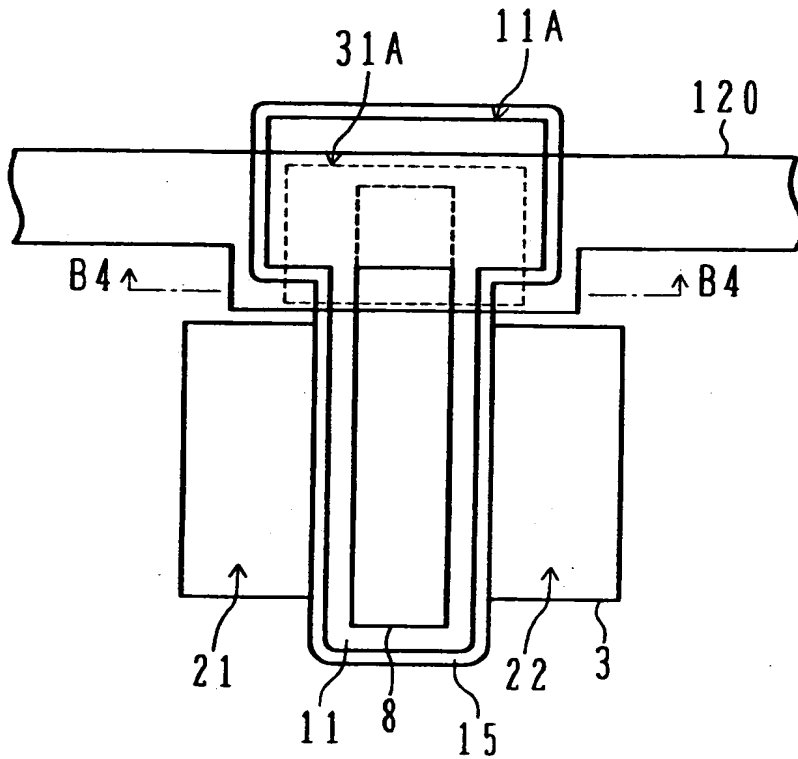
(F)



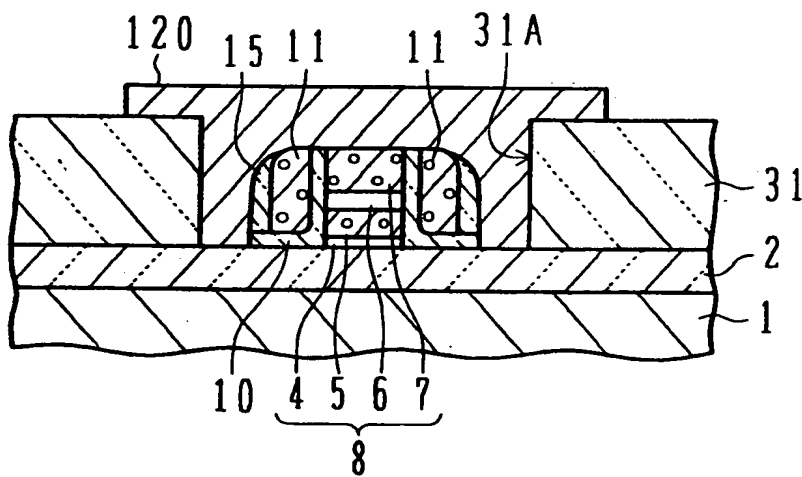
【図 4】

第 2 の実施例による半導体記憶装置

(A)

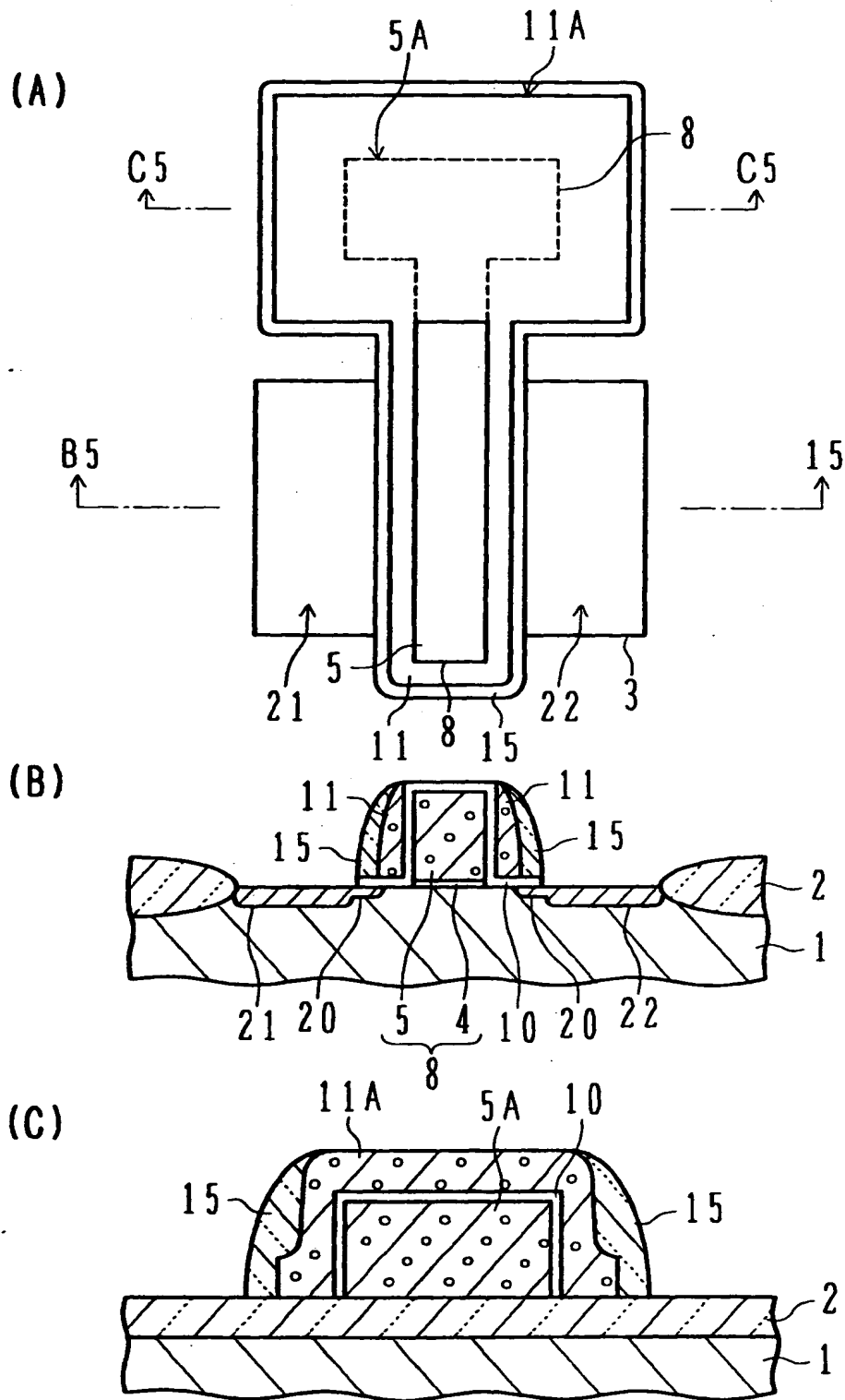


(B)



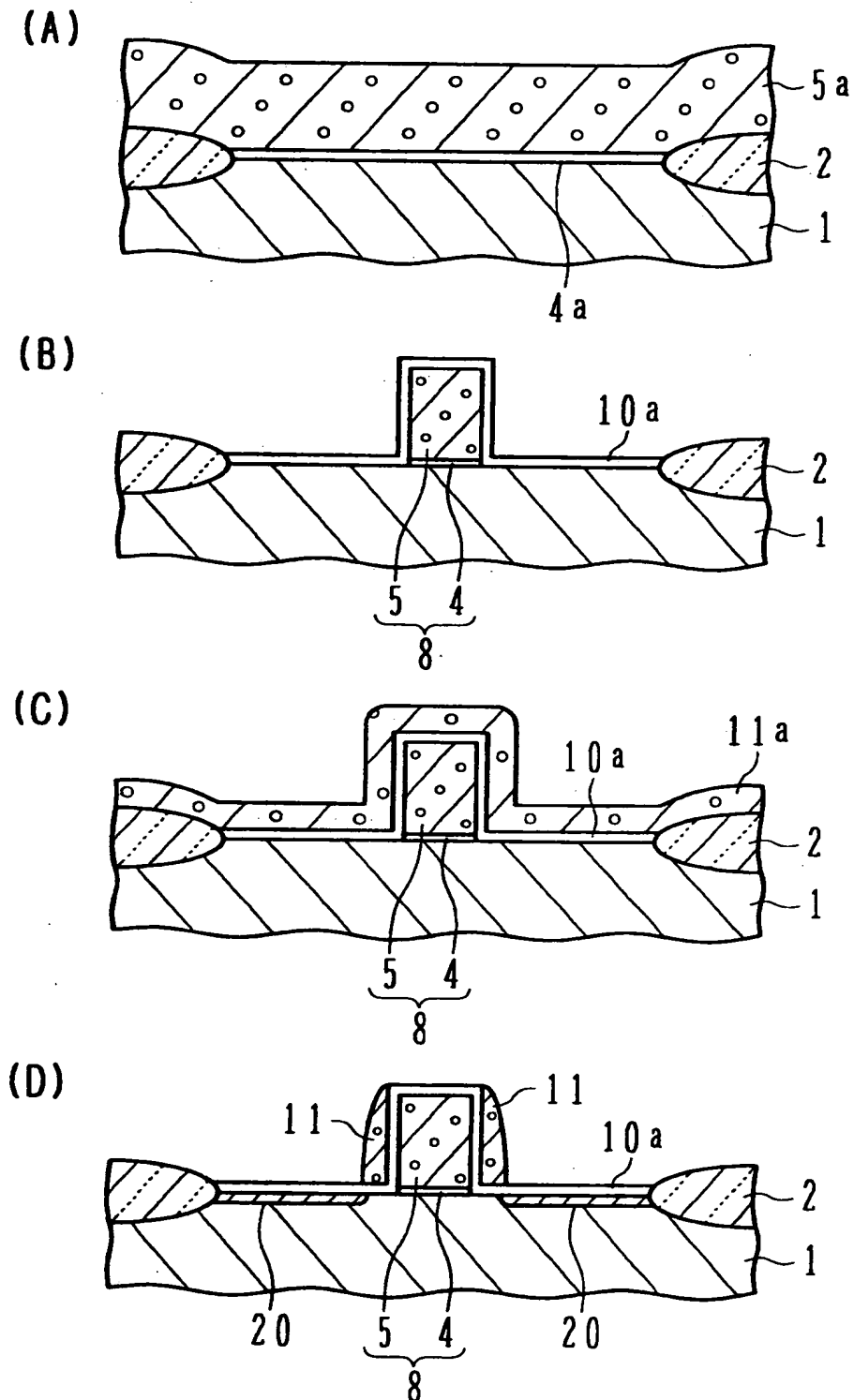
【図 5】

第 3 の実施例による半導体記憶装置



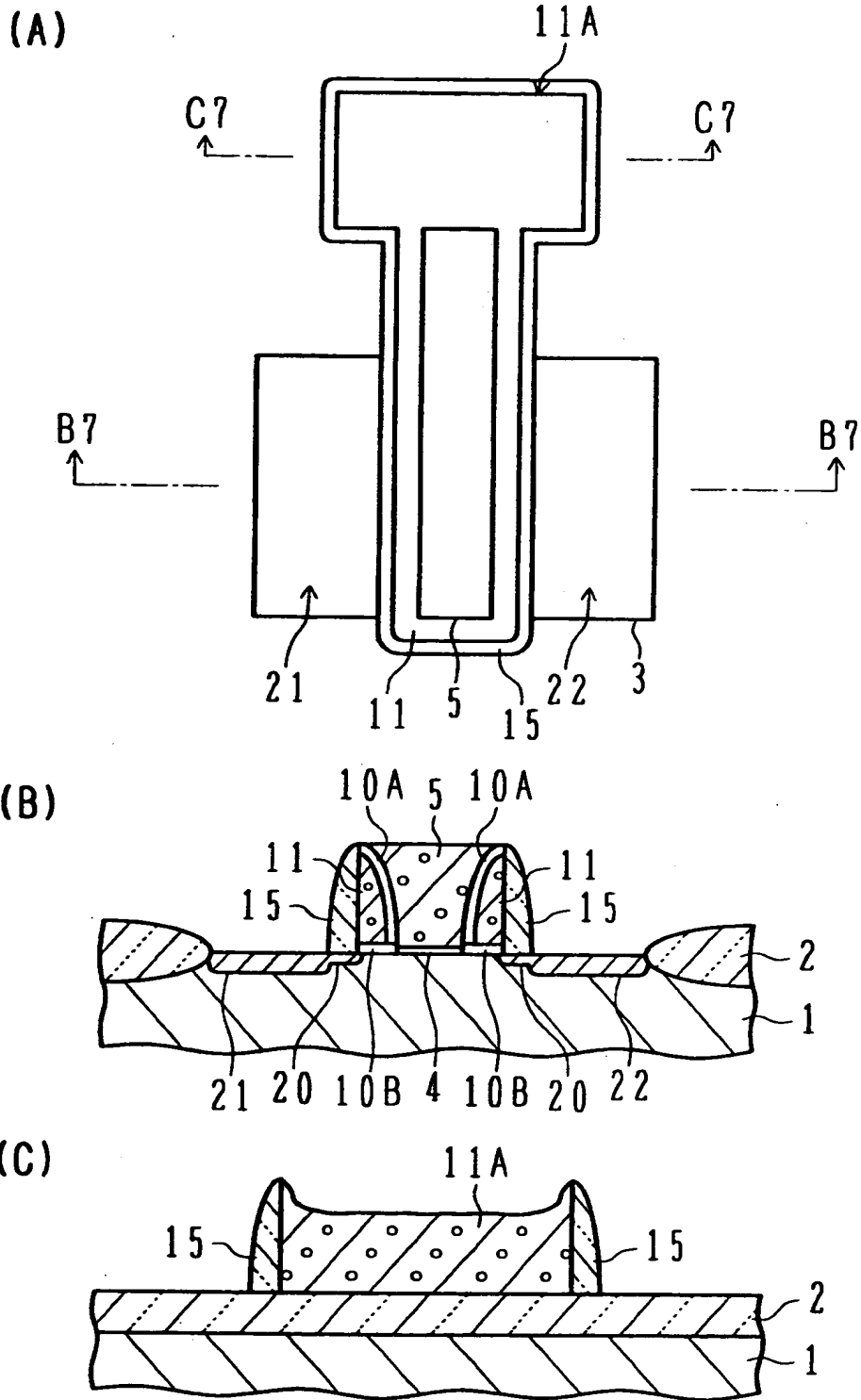
【図 6】

第 3 の実施例による半導体記憶装置の製造方法



【図 7】

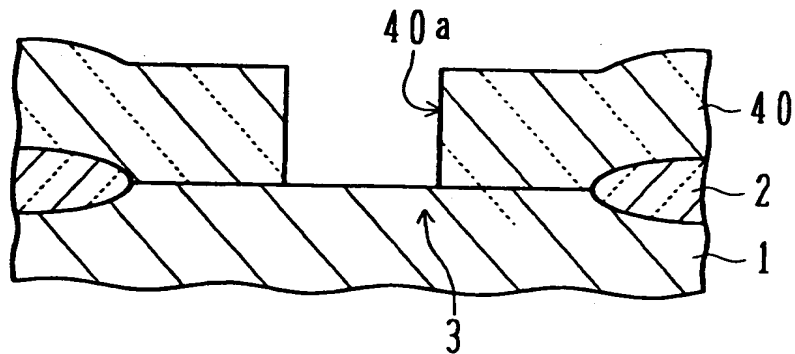
第 4 の実施例による半導体記憶装置



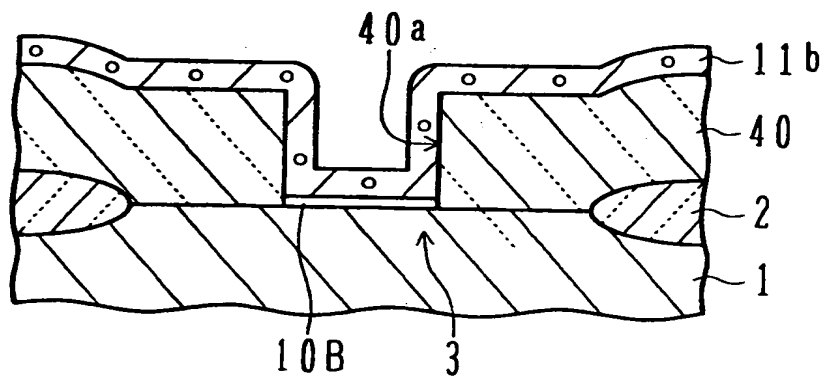
【図 8】

第 4 の実施例による半導体記憶装置の製造方法 (その 1)

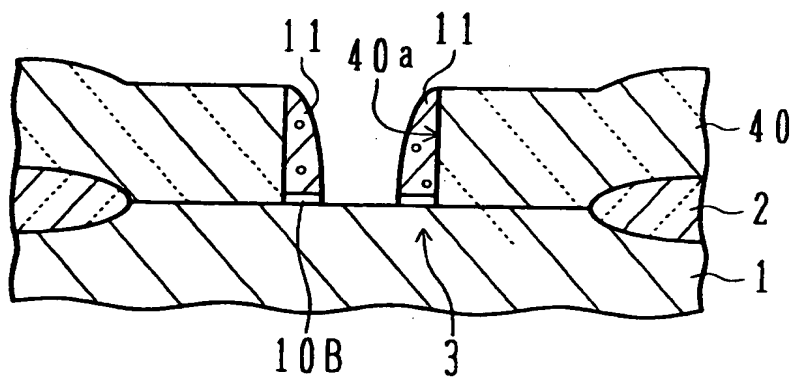
(A)



(B)

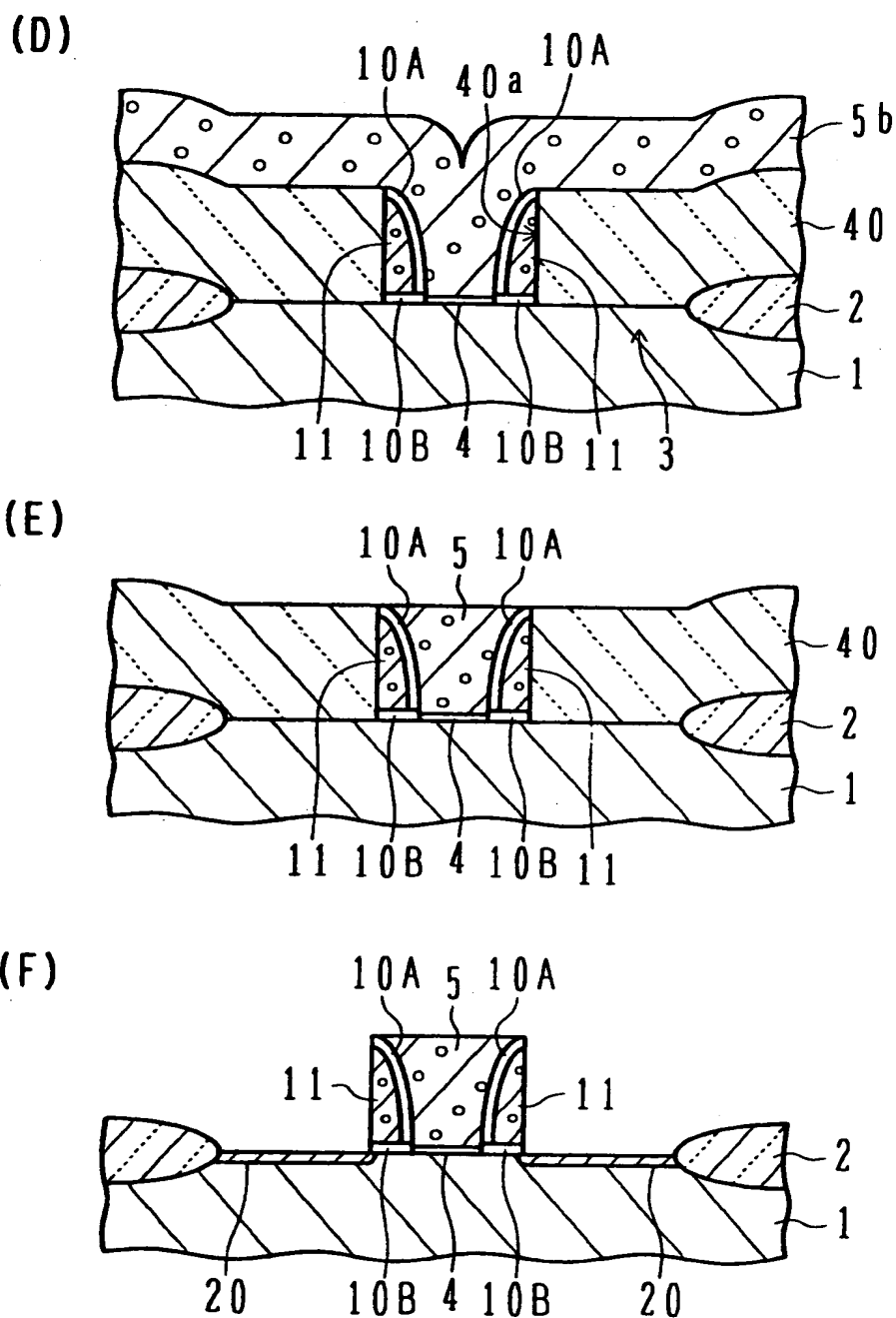


(C)



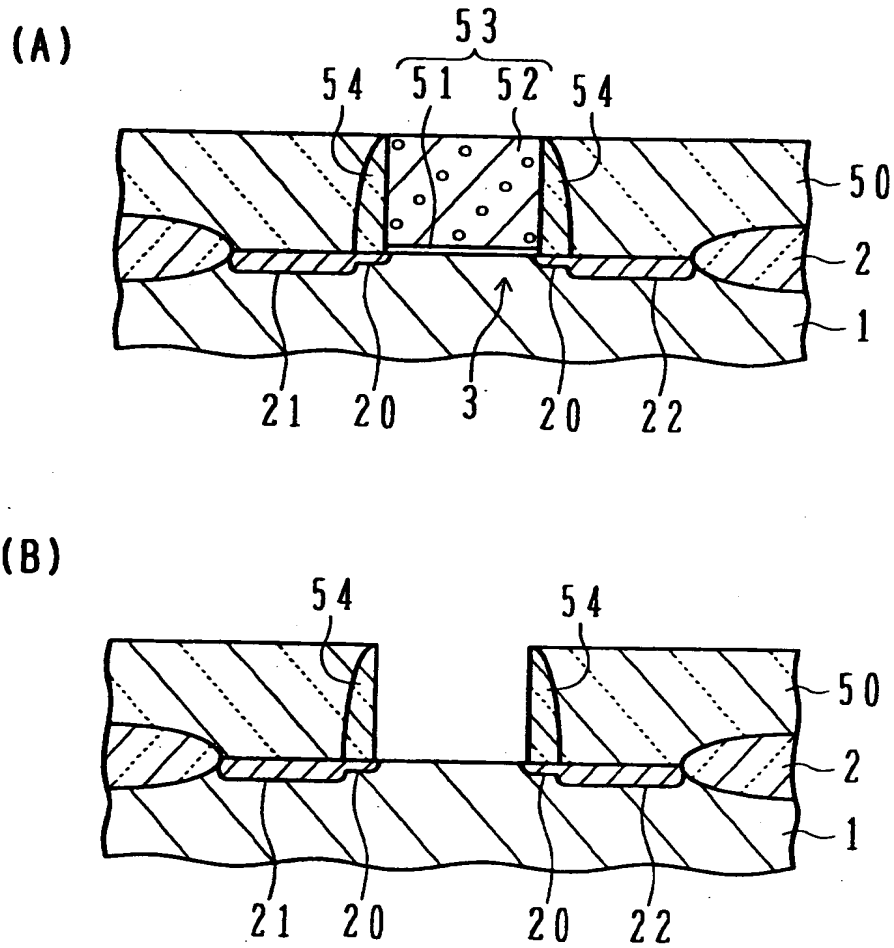
【図 9】

第 4 の実施例による半導体記憶装置の製造方法 (その 2)



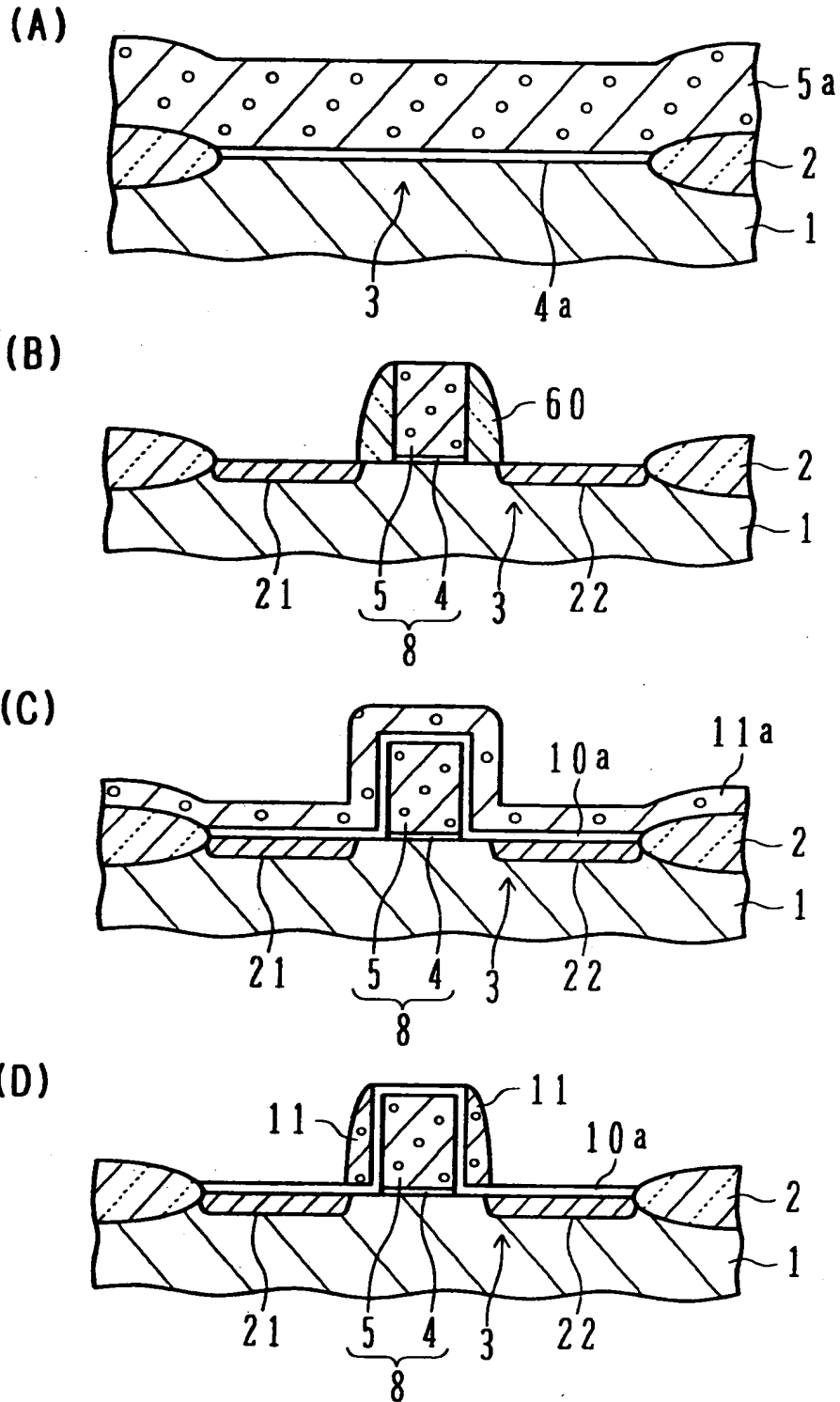
【図 1 0】

第 5 の実施例



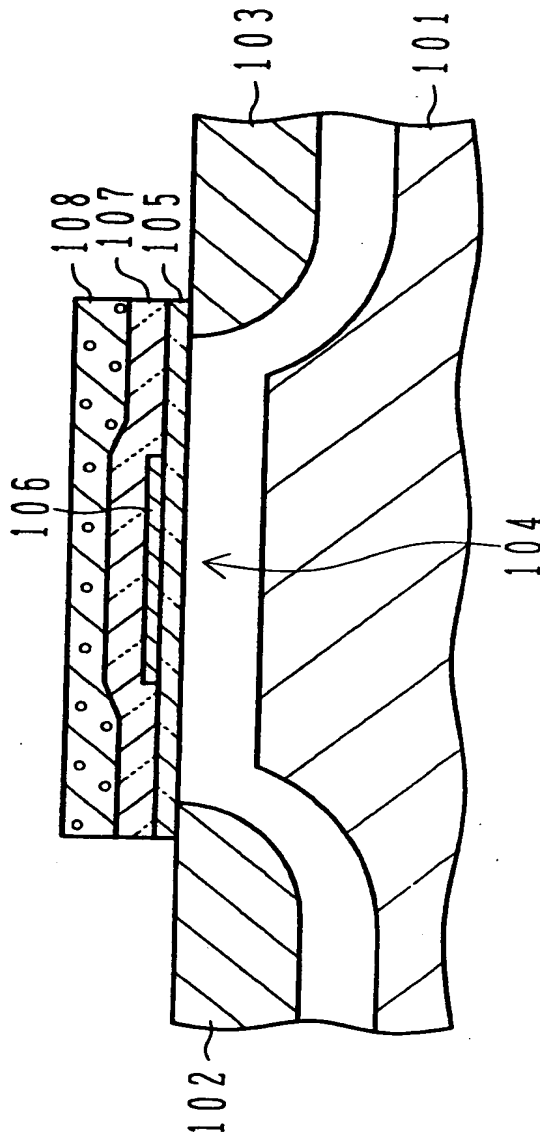
【図 1 1】

第 6 の実施例



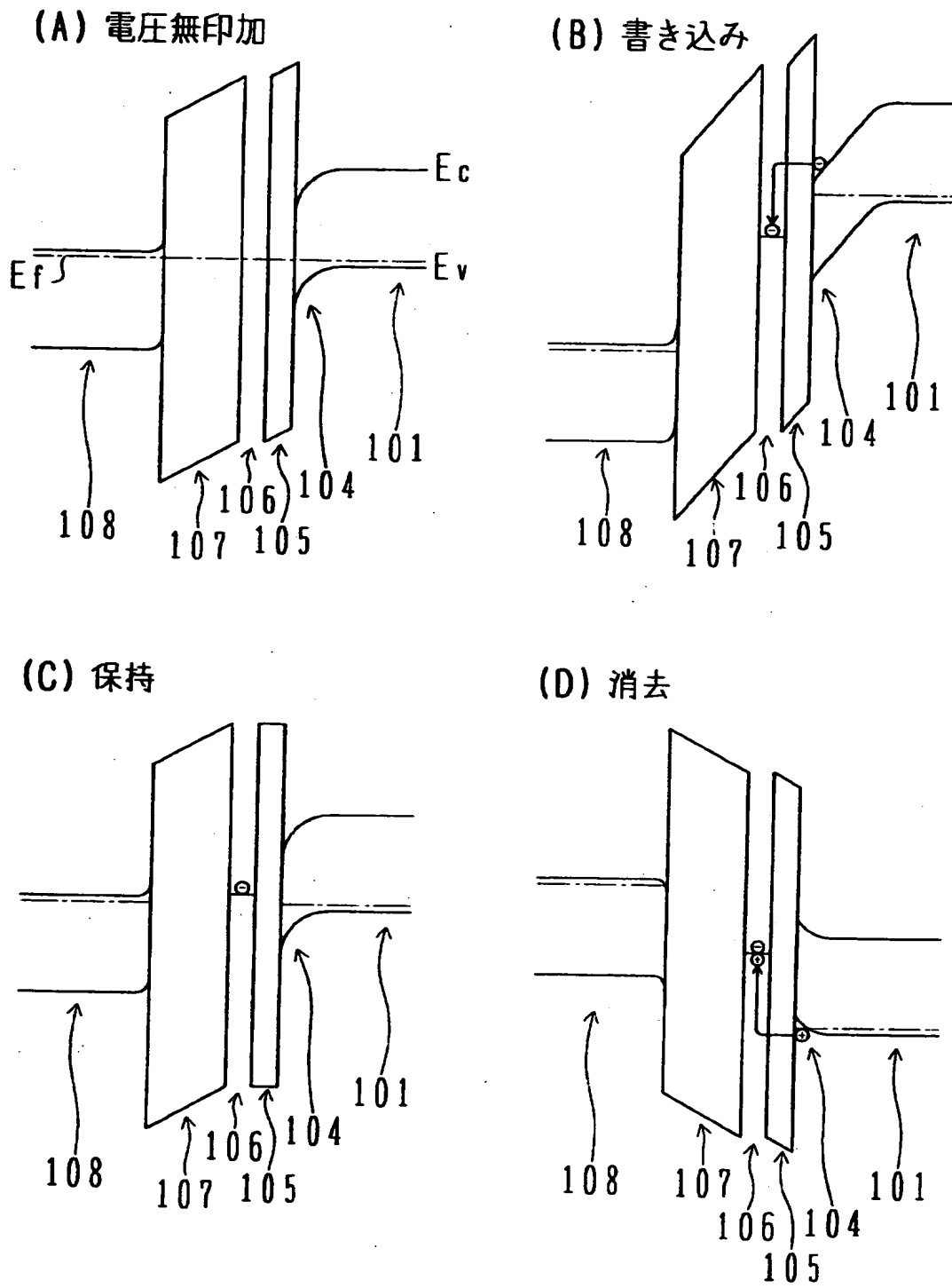
【図 12】

先の提案

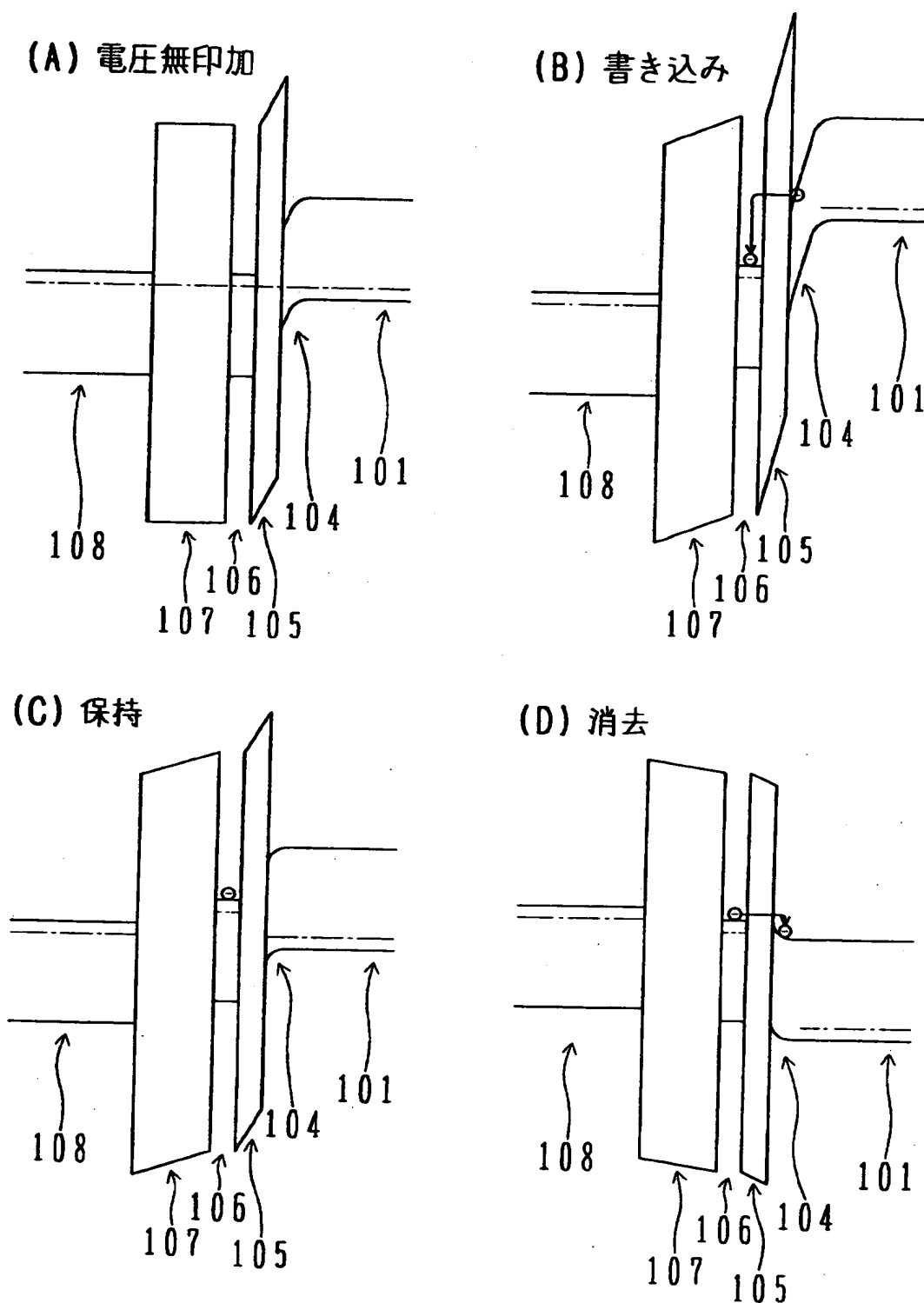


- | | |
|---------------|-------------------|
| 101: p型シリコン基板 | 105: トンネル絶縁膜 |
| 102: ソース領域 | 106: フローティングゲート電極 |
| 103: ドレイン領域 | 107: ゲート絶縁膜 |
| 104: チャネル領域 | 108: コントロールゲート電極 |

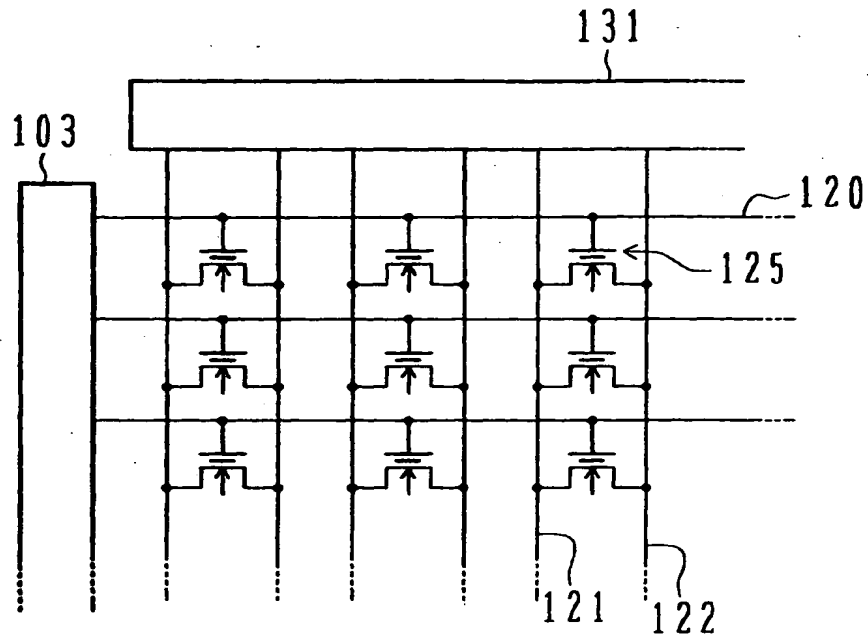
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 大容量化、低電圧化を図ることが可能な半導体記憶装置を提供する。

【解決手段】 半導体基板の表面の一部の領域上にトンネル絶縁膜が形成されている。トンネル絶縁膜の上にフローティングゲート電極が形成されている。フローティングゲート電極の側面、及びフローティングゲート電極の両側の半導体基板表面をゲート絶縁膜が覆う。フローティングゲート電極の側面上、及びフローティングゲート電極の両側の半導体基板の表面上に、ゲート絶縁膜を介して第1のコントロールゲート電極が配置されている。フローティングゲート電極及び第1のコントロールゲート電極を含むゲート構造体の両側の、半導体基板の表面層に一对の不純物添加領域が形成されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社